

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-325544

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/401

6741-5L

G11C 11/34

362 C

6741-5L

362 H

審査請求 未請求 請求項の数15(全 22 頁)

(21)出願番号

特願平4-131095

(22)出願日

平成4年(1992)5月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(72)発明者 高瀬 覚

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 串山 夏樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

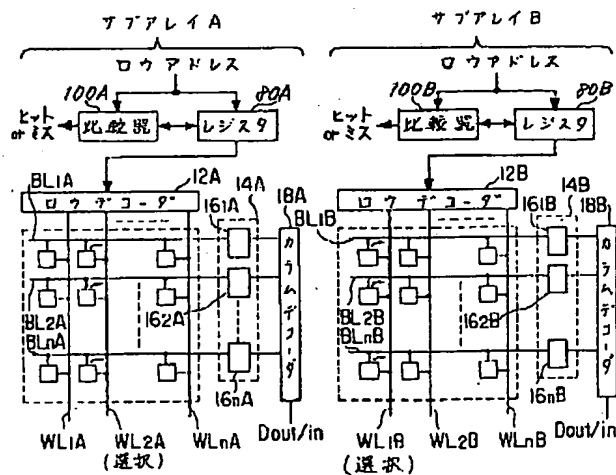
最終頁に続く

(54)【発明の名称】 半導体メモリ

(57)【要約】

【目的】 この発明は、ヒットレートを向上させ、かつデータアクセスタイムを短縮できる半導体メモリを提供しようとするものである。

【構成】 メモリ領域(10)と、ビット線(BL)に接続され、このビット線(BL)に流れる信号を増幅する増幅器群(14)とにより構成されたサブアレイ(A,B)を複数有する。そして、増幅器群(14)がサブアレイ(A,B)毎にそれぞれ、互いに異なるアドレスに対応するロウ(WL₂A, WL₁B)から抽出されたデータを保持できるように構成されている。このような構成であると、サブアレイ(A,B)毎に異なるアドレスに対応するロウのデータを保持でき、保持状態のロウが複数となることで、保持状態のロウへアクセス要求がヒットする確率を向上できる。また、データが増幅器群に保持されることによりデータが増幅器群にて出力待機状態とされるようになり、アクセス要求があつてからデータを出力するまでの時間(データアクセスタイム)が短くなる。



【特許請求の範囲】

【請求項1】 メモリセルが行列状に配置されたメモリセルアレイと、

前記メモリセルアレイの同一行のメモリセルそれぞれに共通に接続された複数のワード線と、

前記メモリセルアレイの同一列のメモリセルそれぞれに共通に接続された複数のビット線と、

10 所望のワード線に接続された各セルのデータを保持している状態をとることが可能な、各ビット線に流れるデータを増幅する増幅器の集まりで成る増幅器群と、を有するメモリ領域を具備し、

前記メモリ領域を複数有し、これらのメモリ領域毎に、前記増幅器群が同時に互いに異なるアドレスに対応するワード線に接続された各セルのデータを保持している状態を少なくともとることを特徴とする半導体メモリ。

【請求項2】 前記増幅器群はそれぞれ独立して、データの保持およびデータのプリチャージを行うことを特徴とする請求項1に記載の半導体メモリ。

【請求項3】 前記ワード線を選択し続けるワード線電位保持部をさらに具備すること特徴とする請求項1ある20 いは2いずれかに記載の半導体メモリ。

【請求項4】 前記ビット線と前記増幅器群とを所定のタイミングで電氣的に切り離すことのできるビット線ゲートをさらに具備すること特徴とする請求項1乃至請求項3いずれかに記載の半導体メモリ。

【請求項5】 前記メモリ領域毎に、このメモリ領域のどのワード線が選択されているかを記憶する記憶部をさらに具備すること特徴とする請求項1乃至4いずれかに記載の半導体メモリ。

【請求項6】 複数の前記増幅器群のうち、少なくとも30 2つがそれぞれ所定のデータを保持している状態から、少なくとも1つの増幅器群のみ、データを出力することが可能なように構成されていることを特徴とする請求項1乃至請求項5いずれかに記載の半導体メモリ。

【請求項7】 複数の前記増幅器群のうち、少なくとも2つがそれぞれ所定のデータを保持している状態から、少なくとも1つの増幅器群のみ、プリチャージすることが可能なように構成されていることを特徴とする請求項1乃至請求項6いずれかに記載の半導体メモリ。

【請求項8】 複数の前記増幅器群のうち、少なくとも40 2つがそれぞれ所定のデータを保持している状態から、少なくとも1つの増幅器群でプリチャージが行われた後、所定のアドレス指定に基づき、このアドレスに対応するワード線に接続された各セルのデータを新たに保持することが可能なように構成されていることを特徴とする請求項1乃至請求項7いずれかに記載の半導体メモリ。

【請求項9】 複数の前記増幅器群のうち、少なくとも1つが所定のデータを保持している状態から、この増幅器群以外の少なくとも1つの増幅器群が、所定のアドレ50

ス指定に基づき、このアドレスに対応するワード線に接続された各セルのデータを保持することが可能なように構成されていることを特徴とする請求項1乃至請求項8いずれかに記載の半導体メモリ。

【請求項10】 複数の前記増幅器群のうち、少なくとも2つがデータを保持していない状態にあり、これらの増幅器群が所定のアドレス指定に基づいた、このアドレスに対応するワード線に接続された各セルのデータの保持動作を、並行してまたは連続的に前後して行うことが可能なように構成されていることを特徴とする請求項1乃至請求項9いずれかに記載の半導体メモリ。

【請求項11】 複数の前記増幅器群のうち、少なくとも1つが動作状態にあり、少なくとも1つがデータを保持していない状態にあり、前記動作が行われている間、データを保持していない状態にある増幅器群はデータが保持されないままであることを特徴とする請求項1乃至請求項10いずれかに記載の半導体メモリ。

【請求項12】 複数の前記メモリ領域のうち、少なくとも2つ以上のメモリ領域でそれぞれ異なるアドレスに対応するワード線をラッチすることができ、これらのラッチされているワード線のうち、1つだけをプリチャージして他のアドレスに対応するワード線に再ラッチすることができ、この時、他のワード線はラッチされたままであることを特徴とする請求項3に記載の半導体メモリ。

【請求項13】 ワード線の選択時に活性状態とされるワード線は、センスアンプ群にそのワード線に接続された各セルのデータを前記増幅器群に送り保持させたのち非活性状態となり、次回の前記増幅器群の保持データを書き替えるまでは、そのまま非活性状態を保つことを特徴とする請求項4に記載の半導体メモリ。

【請求項14】 複数の前記増幅器群のうち、少なくとも1つの増幅器群がデータを保持している状態の時に、ワード線電位を所定の電位とすることにより新たなロウに対応するデータの選択する動作ができ、この時、前記ビット線ゲートにより前記ビット線と増幅器群とを電氣的に切り離すことにより、前記増幅器群が保持しているデータおよび新たなロウに対応するデータはともに破壊しないで上記動作を行うことを特徴とする請求項4に記載の半導体メモリ。

【請求項15】 複数の前記増幅器群のうち、少なくとも1つの増幅器群がデータを保持している状態から新たなロウに対応するデータに書き替える時に、前記ビット線ゲートにより前記ビット線と増幅器群とを電氣的に切り離し、ワード線電位を所定の電位とすることにより新たなロウに対応するデータを選択し、前記増幅器群をプリチャージし、前記前記ビット線ゲートにより前記ビット線と増幅器群とを電氣的に接続して前記新たなロウに対応するデータを前記増幅器群に保持させるように構成されていることを特徴とする請求項4に記載の半導体メ

メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体メモリに係わり、特に動作速度を改善した半導体メモリに関する。

【0002】

【従来の技術】コンピュータの世界においては、中央演算処理装置（CPU）の動作速度にメモリの動作速度の向上が追いつけず、両者の動作速度の差が年々開いてゆく傾向にある。そこで、データアクセスタイムの速いメモリが望まれている。

【0003】動作の高速化を狙った動作モードとして、ページモードとよばれるモードがある。ページモードとは、一つのロウ・アドレスを一定としたまま、カラム・アドレスを指定する方法である。この方法であると、一つのロウを選択状態にしておくので、カラム・アドレスを指定するだけでデータを読み出すことができ、ロウを選択するのに要する時間が節約され、データのアクセスタイムを速くできる。しかしながら、ページモードでは、選択されるロウは一つだけであり、常にそのロウにデータアクセス要求がくるとは限らない。このため、異なるロウが選択される度に、その選択からデータをメモリから出力するまでに時間を要している。

【0004】

【発明が解決しようとする課題】以上のように、ページ・モードでは、選択状態にあるロウへデータアクセス要求がくる（これを以下“ヒット”と称す）確率（ヒットレート）が悪い。このため、選択状態にあるロウへデータアクセス要求がこない（これを以下“ミス”と称す）場合とヒットした場合との平均値、すなわち、データアクセスタイム全体の平均値は悪くなり、結果として、データのアクセスタイムの短縮の効果は、さほど上がらない、という欠点がある。

【0005】この発明は、上記のような点に鑑み為されたもので、その目的は、ヒットレートを向上できるとともに、データアクセスタイムを短縮できる半導体メモリを提供することにある。

【0006】

【課題を解決するための手段】この発明に係わる半導体メモリは、メモリ領域と、ビット線に接続され、このビット線に流れる信号を増幅する増幅器とにより構成されたサブアレイを複数有する。そして、増幅器がサブアレイ毎に、互いに異なるアドレスに対応するロウから抽出されたセルデータを保持できるように構成されていることを特徴としている。

【0007】

【作用】上記半導体メモリにあつては、複数のサブアレイ毎に、増幅器が互いに異なるアドレスに対応するロウから抽出されたデータを保持できるので、選択状態にあるロウへデータアクセス要求がくる確率、すなわち、ヒ

ットレートを向上できる。従つて、ヒット、ミスの両者を含むデータアクセスタイム全体の平均値を小さくできる。

【0008】さらに、ロウから抽出されたセルデータが増幅器に保持され、読み出されるべきデータが増幅器にて待機された状態となっている。このため、アクセス要求があつてからメモリからデータを読み出して出力する方式に比べ、データを出力するまでの時間（データアクセスタイム）を大幅に短縮することができる。

【0009】

【実施例】以下、図面を参照してこの発明を実施例により説明する。この説明において、全図に渡り同一の部分には同一の参照符号を付すことにより、重複する説明は避けることにする。図1～図2はそれぞれ、この発明の第1の実施例に関わるDRAMのフロアプランを示す図である。

【0010】まず、図2に示すように、メモリセル(11)～(nn)が行列状に配置されたメモリセルアレイ10があり、ワード線WL₁～WL_nは、同一行のセル(11)～(1n)、(21)～(2n)および(31)～(3n)にそれぞれ共通に接続され、ビット線BL₁～BL_nは、同一列のセル(11)～(n1)、(12)～(n2)および(13)～(n3)にそれぞれ共通に接続されている。ワード線WL₁～WL_nはロウデコーダ12に接続され、ビット線BL₁～BL_nは増幅器群14に接続されている。増幅器群14は、ビット線BL₁～BL_n毎に、セル(11)～(nn)より取り出したセルデータを増幅する増幅器16₁～16_nから成る。ビット線BL₁～BL_nはそれぞれ、増幅器16₁～16_nを介してカラムデコーダ18に接続されている。ロウデコーダ12には所定のロウアドレスを記憶できるレジスタ80が接続されている。レジスタ80にはロウアドレスが取り込まれるとともに、比較器100に接続されている。

【0011】この発明に係わる半導体メモリは、所望のロウ（ワード線）を選択（図中では、WL2が選択されている）し、この選択されたロウに接続されているセル（図中では、セル(21)、(22)、(2n)に保持されていたセルデータをそれぞれ、増幅器16₁～16_nに保持させ、増幅器群14を出力待機状態とする。選択されているロウに対応したロウアドレスはレジスタ80に記憶されており、アクセス要求がメモリにきた時、比較器100は、アクセス要求が含んでいるロウアドレスと、レジスタ80に記憶されているロウアドレスとを比較して、互いのロウアドレスが一致した場合にはヒットした旨を知らせるヒット信号を出力し、不一致の場合にはミスした旨を知らせるミス信号を出力する。比較器100から、ヒット信号が出力された時にはロウの選択を行わずに、カラムアドレスによるカラムの選択のみでデータを出力する。また、比較器100から、ミス信号が出力された時には、レジスタ80に記憶されているロウアドレ

スを、アクセス要求が含むロウアドレスに書き替え、この書き替えられたロウアドレスによるロウの選択と、カラムアドレスによるカラムの選択とを行ってデータを出力する。

【0012】このような動作方式であると、データのアクセス要求があつてから、ロウを選択して、さらにカラムを選択してデータを出力するような方式に比べ、ロウを選択するのに必要な時間を節約することができ、アクセス要求があつてからデータを出力するまでの時間（アクセスタイム）を短縮できる。上記のように、必ずしも選択状態のロウにアクセス要求が来る（ヒット）とは限らないが、メモリでは一つのロウに連続してアクセス要求が来る確率が非常に高く、非選択状態のロウにアクセス要求が来た（ミス）ことを考慮しても、ヒット・ミスの両者を含んだメモリ全体のアクセスタイムの平均値は短縮される。さらに、レジスタ80を設け、このレジスタ80に選択されているロウのロウアドレスを記憶させておくことにより、増幅器群14が、どのロウアドレスのデータを保持しているかを瞬時に知ることができ、更なるアクセスタイムの高速化を実現できる。

【0013】尚、ミスとなった場合には、新たにロウを選択し直すことになるが、次のアクセス要求を考慮して、選択し直したロウに接続されている各セルのセルデータをそれぞれ増幅器16₁～16₆に保持させて、増幅器14を出力待機状態としておく。また、新たなロウアドレスはそのままレジスタ80に記憶しておく。これにより、次のアクセス要求が、ヒットとなる確率を高めることができる。

【0014】さらに、この発明では、ヒットする確率を高めるために、図2に示すようなメモリ部を、図1に示すように1チップに複数設け、サブアレイという概念を取り入れている。サブアレイAとサブアレイBとはそれぞれ、異なるアドレスに対応したロウのセルデータを増幅器16_{1A}～16_{6A}、A、16_{1B}～16_{6B}、Bに保持させておくことが可能である。これにより増幅器群14A、14Bはそれぞれ、異なるアドレスに対応したロウのセルデータを出力待機状態とできる。図中に示すように、サブアレイAではワード線WL_{1A}が選択状態にあり、ワード線WL_{1A}に接続されているセルのデータが増幅器16_{1A}～16_{6A}に保持され、サブアレイBではワード線WL_{1B}が選択状態にあり、ワード線WL_{1B}に接続されているセルのデータが増幅器16_{1B}～16_{6B}に保持されている。このように、選択状態のロウを複数設けるとともに、かつこれらが同時に互いに異なるアドレスに対応するロウを選択状態とすることによって、選択状態のロウにアクセス要求がヒットする確率を高めることができる。尚、選択状態のロウのロウアドレスを記憶しておくレジスタも、各サブアレイ毎にレジスタ80A、80Bを設けておく。また、比較器も、各サブアレイ毎に比較器100A、100Bを設けておく。

【0015】さらに、図1に示す構成であれば、ミスとなった場合に、ミスとなったロウのみを選択し直すことが可能である。これによれば、ミスの度に全てのロウを再選択する必要がなく、また、全てのロウを選択し直すよりも、増幅器16_{1B}～16_{6B}、Bのデータ保持状態に様々なバリエーションを持たせることができ、アクセス要求がヒットする確率を高めることができる。

【0016】また、図3に示すように、複数設けられたサブアレイでは、ロウのセルデータの保持を行わないサブアレイCが設けられても構わない。この時、レジスタ80A～80Cとロウデコード12A～12Cとの間にゲート102A～102Cを設け、これらのゲートを、レジスタ～デコード間接続許可信号、許可A～許可Cによって制御する。これらのゲート102A～102Cを使用して、レジスタとデコードとを電氣的に接続したり、または切断したりすることによって、サブアレイ群中に、データの保持を行わないサブアレイを設けることができる。

【0017】次に、図3～図5を参照して、この発明の実施例に係わるDRAMの動作について説明する。図4は図3に示すメモリの動作を示すタイミング波形図で、図5(a)～(h)はそれぞれ図4に示すタイミング毎の装置の状態を模式的に示した図である。図5では、斜線が引かれたブロックは活性化状態、斜線が引かれていないブロックは非活性あるいはプリチャージ状態にあることを示すものとする。また、ワード線については選択状態にあるもののみを図示することにする。

【0018】図4において、時刻t₁～t₄の期間は、初期設定動作の期間を示している。即ち、電源投入時にアドレスレジスタに書かれているアドレスA₁に基いて所望のロウを選択し、このロウに属するセルからのデータを増幅器群に保持させ、サブアレイ毎にそれぞれ初期状態を設定する。まず、サブアレイAでは時刻t₁において、アドレスレジスタに書かれているアドレスA₁に基き、アドレスA₁に対応したロウ（ワード線WL_{1A}）が立ち上がり、時刻t₂において増幅器群14Aが活性化され、ロウ（WL_{1A}）に属するセルのデータがそれぞれ増幅器群14Aに保持されて出力待機状態となる。サブアレイBにおいても時刻t₃～t₄に示されるように、時刻t₁～t₂と同様な動作が行われ、アドレスB₁のロウ（WL_{1B}）に属するセルのデータがそれぞれ増幅器群14Bに保持されて出力待機状態となる。尚、サブアレイCの増幅器群14Cでは、アドレスレジスタにアドレスC₁が書き込まれているが、レジスタ～デコード間の電氣的接続を許可する信号（許可C）を“L”レベルとし、ゲート102Cをオフさせておくことにより、増幅器群14Cへのデータの保持が行なわれないようにしている。

【0019】図4において、時刻t₅～t₇の期間はデータの読み出し動作の期間を示している。時刻t₅にお

ける装置の状態を図5(a)に示す。時刻t6においてサブアレイAにロウアドレスA1を含むアクセス要求が来たとする。比較器100Aは、このロウアドレスA1とレジスタ80Aに書き込まれているロウアドレスとを比較し、一致していることを認識してから、ヒットとなった旨を知らせる信号を出力する。このヒット信号を受けて、アクセス要求が含むカラムデータに基き、カラムデコーダで所望のカラムを選択する動作のみで、時刻t7において出力Dout A1を出力する(図5(b))。これらの動作が行われている時、増幅器群14Bが保持しているセルのデータは、増幅器群14Aの動作に関係なく保持されたままである。

【0020】さらに、時刻t8においてサブアレイBにアドレスB2を含むアクセス要求が来たとする。比較器100Bは、このロウアドレスB2とレジスタ80Bに書き込まれているロウアドレスとを比較する。レジスタ80BにはロウアドレスB1が書き込まれているため不一致である。比較器100Bはこの不一致であることを認識し、ミスとなった旨を知らせる信号を出力する。このミス信号を受けて、レジスタ80Bはプリチャージされ、時刻t10においてレジスタ80Bには新たなロウアドレスB2が書き込まれ、記憶される。この間の時刻t9においてワード線WL₁Bは立ち下がる。さらにワード線WL₁Bの立ち下がりを受け、時刻t11において増幅器群14Bがプリチャージされる(図5(c))。そして、時刻t12においてロウアドレスB2に対応したロウ(ワード線WL₁B)を立ち上げ、時刻t13において増幅器群14Bを再度活性化させる(図5(d))。この後、時刻t14においてロウアドレスB2を含むアクセス要求が再度来る。比較器100Bは、このロウアドレスB2とレジスタ80Bに書き込まれているロウアドレスとを比較し、一致していることを認識してから、ヒットとなった旨を知らせる信号を出力する。このヒット信号を受けて、アクセス要求が含むカラムデータに基き、カラムデコーダで所望のカラムを選択して、時刻t15において出力Dout B2を出力する(図5(e))。これらの動作が行われている時、増幅器群14Aが保持しているセルのデータは、増幅器群14Bの動作に関係なく保持されたままである。また、新たに立ち上げられたロウ(WL₁B)に属するデータはそれぞれ、増幅器群14Bに保持され、次のアクセス要求に備えて待機状態とされる。

【0021】さらに、時刻t16においてサブアレイCにアドレスC1を含むアクセス要求が来たとする。比較器100Cは、このロウアドレスC1とレジスタ80Cに書き込まれているロウアドレスとを比較し、一致していることを認識してから、ヒットとなった旨を知らせる信号を出力する。さらに、レジスタ80Cとデコーダ12Cとの電気的な接続を許可する信号(許可C)が立ち上がることにより、デコーダ12Cとレジスタ80Cとが

電気的に接続され、レジスタ80Cよりロウアドレスがデコーダ12Cに取り込まれる。これにより、時刻t17においてアドレスC1に対応したロウが立ち上がり、時刻t18において増幅器群14Cが活性化される(図5(f))。この後、アドレス要求が含むカラムデータに基いてカラムを選択し、時刻t19において出力Dout C1を出力する(図5(g))。上記一連の動作を終えた時刻t20における装置の状態を図5(h)に示す。以上のようなタイミングで、この発明の実施例に係わるDRAMは動作する。

【0022】次に、上記実施例の変形例について説明する。図6(a)~(h)はそれぞれ、上記実施例の変形例に関わる装置のフロアプランを、図4に示すタイミング毎に示した図である。

【0023】上記実施例で一つのメモリセルアレイ10A~10Cがそれぞれ、一つの増幅器群14A~14Cに接続されているが、これを二つのメモリセルアレイ10₁A、10₂A~10₁C、10₂Cでそれぞれ、一つの増幅器群14A~14Cを共有する形であっても良い。図6(a)~(h)それぞれにおいては、図5(a)~(h)と同一の部分に同一の参照符号を付することにより、その説明は省略する。図7は増幅器群14の具体的な一構成を示すブロック図、図8は図7に示す増幅器群の回路図である。

【0024】図7に示すように増幅器16₁A、16₁B、16₂A、16₂Bはセンスアンプであり、セルアレイから、ビット線BL₁A、BL₁Bおよび反転信号ビット線BBL₁A、BBL₁Bによって伝達されてきたセルデータを差動増幅し、この差動増幅されたデータを、カラムデコーダによって所望のカラムを選択して出力するものである。増幅器16₁A、16₁Bはそれぞれ、ビット線対BL₁A、BBL₁Aに接続されたセンス回路20₁A、20₁Bと、これらのセンス回路20₁A、20₁Bに高電位、低電位の電源を供給し、かつこれらの電位を保持する電位保持/供給回路22₁A、22₁Bと、高電位および低電位の電位をイコライズして増幅器16₁A、16₁Bをプリチャージするプリチャージ回路24₁A、24₁Bと、で構成されている。このような構成の増幅器16₁A、16₁Bの集まりで増幅器群14Aおよび14Bが構成されている。

【0025】電位供給/保持回路22₁A、22₁Bには、活性化させる増幅器群を選択する信号BLKSELA(BLKSELB)、この信号BLKSELA(BLKSELB)を受け入れるタイミングを決定する信号RBACPA(RBACPB)、および増幅器16₁A、16₁Bをプリチャージする信号RSTA(RSTB)がそれぞれ供給される。また、信号RSTA(RSTB)はプリチャージ回路24₁A、24₁Bにもそれぞれ供給される。

【0026】図8に示すように、センス回路20₁A

は、ビット線BL₁A、反転信号ビットBBL₁Aとの間に直列に接続されたNチャネル型MOSFET（以下NMOSと称す）30A、31Aと、Pチャネル型MOSFET（以下PMOSと称す）32A、33Aとにより構成されている。ビット線BL₁Aに一端を接続したNMOS30Aのゲートはビット線BBL₁Aに接続され、ビット線BBL₁Aに一端を接続したNMOS31Aのゲートはビット線BL₁Aに接続されている。ビット線BL₁Aに一端を接続したPMOS32Aのゲートはビット線無BBL₁Aに接続され、ビット線BBL₁Aに一端を接続したPMOS33Aのゲートはビット線BL₁Aに接続されている。NMOS30A、31Aの相互接続点は電源線BSAN₁Aに接続され、PMOS32A、33Aの相互接続点は電源線SAP₁Aに接続されている。ビット線BL₁A、BBL₁Aの一端は、図示せぬメモリセルアレイに接続されている。ビット線BL₁A、BBL₁Aの他端はNMOSで成るカラム選択ゲート28₁A、28₂Aを介してデータ線DATA1に接続されている。尚、センス回路20₁Bの構成は、センス回路20₁Aと略同一構成であり、対応する素子および信号線にはそれぞれ、同一の参照符号でその末尾にBの符号を付すことにより、その説明は省略する。

【0027】電位保持/供給回路22₁Aの入力部は、活性化させるセンスアンプ群を選択する信号BLKSELAが供給されるインバータ34Aと、高電位～低電位（例えば接地）間に直列に接続されたPMOS35A、36A、NMOS37A、38Aと、信号BLKSELAを受け入れるタイミング信号RBACPAが供給されるインバータ39Aとにより構成されている。インバータ34Aの出力はPMOS35A、NMOS38Aのゲートに接続され、インバータ39Aの出力はPMOS36Aのゲートに接続されている。また、信号RBACPAはPMOS37Aのゲートに供給される。PMOS36AとNMOS37Aとの相互接続点はインバータ40Aの出力とインバータ41Aの入力との相互接続点に接続されている。インバータ40Aの出力と、インバータ41Aの入力との相互接続点にはNMOS42Aの一端が接続されている。NMOS42Aのゲートにはリセット信号RSTAが供給され、NMOS42Aの他端は低電位（例えば接地）に接続されている。インバータ41Aの出力とインバータ40Aの入力との相互接続点はPMOS43Aのゲート、およびインバータ44Aを介してPMOS45Aのゲートに接続されている。PMOS43Aの一端は高電位に接続され、その他端は電源線SAP₁Aに接続されている。PMOS45Aの一端は低電位（例えば接地）に接続され、その他端は電源線BSAN₁Aに接続されている。尚、電位保持/供給回路22₁Bの構成は、電位保持/供給回路22₁Aと略同一構成であり、対応する素子および信号線には同一の参照符号で末尾にBの符号を付す

ことにより、その説明は省略する。

【0028】プリチャージ回路24₁Aは、電源線SAP₁Aと電源線BSAN₁Aとの間に接続されたNMOS46Aと、NMOS46Aと電源線SAP₁Aとの相互接続点に一端を接続し他端を電源線VBLに接続したNMOS47Aと、NMOS46Aと電源線BSAN₁Aとの相互接続点に一端を接続し他端を電源線VBLに接続したNMOS48Aと、により構成されている。NMOS46A、47A、48Aのゲートにはそれぞれ、リセット信号RSTAが供給される。尚、プリチャージ回路24₁Bの構成は、プリチャージ回路24₁Aと略同一構成であり、対応する素子および信号線には同一の参照符号で末尾にBの符号を付すことにより、その説明は省略する。図9は、この発明の第2の実施例に関わるDRAMのフロアプランを示す図である。

【0029】図9に示すように、第2の実施例に関わるDRAMは、所望のロウが選択されている状態を継続させる一つ的手段として、サブアレイA、B毎にワード線の電位を保持するワード線電位保持回路50A、50Bを備えたものである。ワード線電位50A、50Bはワード線の一端に接続され、このワード線の他端はロウデコード12A、12Bに接続される。図10は、図9に示すワード線電位保持回路の回路図である。

【0030】図10に示すように、ワード線駆動電位WD RVN0～低電位（例えば接地）間にはNMOS52、54が直列に接続されており、NMOS52とNMOS54との相互接続点にはワード線WL₀が接続されている。NMOS52のゲートはインバータ56の出力とインバータ58の入力との相互接続点に接続され、NMOS54のゲートはインバータ58の出力とインバータ56の入力との相互接続点に接続されている。インバータ56とインバータ58とは、互いに入力と出力に接続することによってラッチ回路60を構成している。ワード線の電位は、このラッチ回路60のデータ保持状態により決定される。ワード線電位保持回路には、アドレス信号Ad0～Ad2およびワード線ラッチ信号WLT C、BWLTC（WLTCの反転信号）に基づいてラッチ回路60にラッチデータを転送する入力部62が設けられている。入力部62は、高電位～低電位（例えば接地）間に直列に接続されたPMOS64、65、NMOS66、NMOS67、NMOS68、NMOS69で成る。PMOS64のゲートにはワード線ラッチ信号BWLTCが供給され、PMOS65のゲートにはプリチャージ信号PRCHが供給され、NMOS66～68のゲートにはそれぞれ、アドレス信号Ad0～Ad2が供給され、NMOS69のゲートにはワード線ラッチ信号WLT Cが供給される。図11は、この発明の第3の実施例に関わるDRAMのフロアプランを示す図である。

【0031】図11に示すように、第3の実施例に関わるDRAMは、増幅器の動作を、ビット線に電位等に関

わらず独立して行えるように、ビット線と増幅器との間にビット線ゲート群70A、70Bを備えたものである。増幅器群14A、14B一つに対して一つのセルアレイ10A、10Bが設けられる場合には、図10

(a)に示すように、これらの間に一つのビット線ゲート群70A、70Bが設けられる。また、一つの増幅器群14A、14Bに対して複数のセルアレイ10₁A、10₂A、および10₁B、10₂Bが設けられる場合には、図10(b)に示すように、セルアレイ10₁Aと増幅器群14Aとの間、並びにセルアレイ10₂Aと増幅器群14Aとの間というように複数設けられる。ビット線ゲート群70A、70Bは、各ビット線毎に接続されたゲート72₁A~72₂A、ゲート72₁B~72₂Bで構成される。ゲート72₁A~72₂Aにはビット線と増幅器群14Aとを電氣的に切り離す制御信号BLGAが供給され、ゲート72₁B~72₂Bにはビット線と増幅器群14Bとを電氣的に切り離す制御信号BLGBが供給される。図12は、図11に示すビット線ゲートの回路図である。

【0032】図12に示すように、ゲート群70Aはゲート72₁A~72₂Aで成る。特にゲート72₁Aに着目して説明すると、ビット線対BL₁A、BBL₁Aにそれぞれ接続されたNMOS74₁A、74₂Aで構成される。その他のゲートも同様の構成であり、ゲート72₂Aはビット線対BL₂A、BBL₂Aにそれぞれ接続されたNMOS74₃A、74₄Aで構成され、ゲート72₁Aはビット線対BL₁A、BBL₁Aにそれぞれ接続されたNMOS74₅A、74₆Aで構成される。NMOS74₁A~74₆Aのゲートにはそれぞれ共通に、ビット線と増幅器群とを電氣的に切り離す制御信号BLGAが供給される。尚、ゲート群70Bの構成は、ゲート群70Aと略同一構成であり、対応する素子および信号線には同一の参照符号で末尾にBの符号を付すことにより、その説明は省略する。図13は、この発明の第4の実施例に関わるDRAMのフロアプランを示す図である。

【0033】図13に示すように、第4の実施例に関わるDRAMは、ワード線電位保持回路50A、50B、およびビット線ゲート群70A、70Bをそれぞれ備えたものである。以下、図13に示すDRAMのDRAMの動作について説明する。尚、図13に示す装置の増幅器群14A、14Bはセンスアンプの集まりであるので、動作の説明においては増幅器群という名称に代えてセンスアンプ群と称することにする。

【0034】図13に示すDRAMでは、比較器100Aおよび100Bから出力されるヒット信号、ミス信号がそれぞれ、異なる配線を介して出力されるように構成されている。ヒット信号、ミス信号は、比較器100Aから異なる配線を使用して、ヒット信号、ミス信号をそれぞれ分離して出力されることも可能で、また、図1に

示したDRAMのように、同一の配線を使用して、ヒット信号、ミス信号を出力することも可能である。同一の配線を使用してヒット信号、ミス信号を出力する場合には、複数本の配線層、例えば4本の配線を使い、ヒット信号ならば、各配線に順に“1、0、1、0”の信号を流し、ミス信号ならば、各配線に順に“0、1、0、1”の信号を流すようにして、ヒット信号とミス信号とを、信号レベルの違いを利用して判断する。図14~図18はそれぞれ、動作を示すタイミング波形図である。図14~図18はそれぞれ、時間的に連続しているものとする。

【0035】図14に示す時刻t1~t6の期間は、初期設定動作の期間を示している。まず、時刻t1において、電源投入時にレジスタ80Aに書き込まれているロウアドレスA1に基いて、ワード線ラッチ信号WLTAが立ち上がり、この立ち上がりを受けてワード線WL₁Aが立ち上がる。さらに時刻t2においてセンスアンプ群を選択する信号BLKSELAが立ち上がり、この立ち上がりを受けて時刻t3においてセンスアンプ群の電源線SAP1AおよびSANIAの電位がそれぞれ所定の電源電位にセットされる。このようにしてサブアレイAでは、ロウアドレスA1に対応したワード線WL₁Aが活性化され、ワード線WL₁Aに属したロウのセルデータがセンスアンプ群14Aに保持されて出力待機状態とされる。サブアレイBにおいても時刻t1~t3と同様な動作が、時刻t4~t6にて行なわれ、レジスタ80Bに書き込まれていたロウアドレスB1に基いて、ロウアドレスB1に対応したワード線WL₁Bが活性化される。これにより、ワード線WL₁Bに属したロウのセルデータがセンスアンプ群14Bに保持されて出力待機状態とされる。

【0036】図14に示す時刻t7~t8の期間は、データ読み出しの期間を示している。時刻t7においてサブアレイAに、カラムアドレスCA1、ロウアドレスA1を含むアドレス要求が来たとする。比較器100Aは、ロウアドレスA1とレジスタ80Aに書き込まれているロウアドレスとを比較し、一致していることを認識してから、ヒット信号を出力する。このヒット信号を受けて、アクセス要求が含むカラムアドレスCA1に基き、カラムデコーダ18AでこのカラムアドレスCA1に対応したカラムを選択する。これにより時刻t8においてデータDout CA1、A1が出力される。

【0037】図15に示す時刻t9~t19の期間は、ワード線再ラッチの期間を示している。時刻t9においてサブアレイBに、ロウアドレスB2を含む要求が来たとする。これはミスとなった状態であり、このため、ワード線の再ラッチが行なわれる。再ラッチについて以下に説明する。まず、比較器100Bは、このロウアドレスB2とレジスタ80Bに書き込まれているロウアドレスとを比較する。レジスタ80BにはロウアドレスB1が書き込まれているため不一致である。比較器100Bは

13

この不一致であることを認識し、ミス信号を出力する。このミス信号を受けて、レジスタ80Bはプリチャージされる。時刻t10においてワード線プリチャージ反転信号BPRCHBが立ち下がり、反転信号BPRCHBが立ち下がった状態で時刻t10において信号WLTCBを立ち上げ、ワード線WL₁Bを立ち下げる。次いで、ワード線WL₁Bが立ち下がった状態で時刻t12において、レジスタ80BにロウアドレスB2を取り込む。これにより、レジスタ80BにはロウアドレスB1に代わり、ロウアドレスB2が書き込まれる。次いで、時刻t14において反転信号BPRCHBを立ち上げる。次いで、時刻t15においてリセット信号RSTBを立ち上げ、電源線SAP1BおよびSAN1Bの電位をプリチャージ電位にリセットする。次いで、時刻t16においてリセット信号RSTBを立ち上げる。次いで、時刻t17において信号WLTCBを立ち上げ、レジスタ80Bに書き込まれているロウアドレスB2に対応したワード線WL₂Bを立ち上げる。次いで、時刻t18において信号BLKSELBを立ち上げ、時刻t19において、タイミング信号RBACPBを立ち上げることにより、電源線SAP1BおよびSAN1Bの電位がそれぞれ所定の電源電位にセットされる。このようにして、新しいロウアドレスB2に基いたワード線の再ラッチが行なわれる。

【0038】図16に示す時刻t20～t25の期間は、その他の方法によったワード線再ラッチの期間を示している。時刻t20においてサブアレイAに、ロウアドレスA2を含む要求が来たとする。これはミスとなった状態であり、このため、ワード線の再ラッチが行なわれる。まず、比較器100Aは、このロウアドレスA2とレジスタ80Aに書き込まれているロウアドレスとを比較する。レジスタ80AにはロウアドレスA1が書き込まれているため不一致である。比較器100Aはこの不一致であることを認識し、ミス信号を出力する。このミス信号を受けて、レジスタ80Aはプリチャージされる。時刻t21においてサブアレイAで、ワード線プリチャージ反転信号BPRCHAが立ち下がり、反転信号BPRCHAが立ち下がった状態で時刻t22において信号WLTCBを立ち上げ、ワード線WL₁Aを立ち下げる。次いで、ワード線WL₁Aが立ち下がった状態で時刻t23において、レジスタ80AにロウアドレスA2を取り込む。これにより、レジスタ80AにはロウアドレスA1に代わり、ロウアドレスA2が書き込まれる。次いで、時刻t24において反転信号BPRCHAを立ち上げる。次いで、ワード線WL₁Aが立ち下がった状態で時刻t25においてビット線ゲート制御信号BLGAを立ち下げ、センスアンプ群とビット線とを電気的に切り離す。次いで、センスアンプ群とビット線とが電気的に切り離された状態で時刻t26において、信号WLTCBを立ち上げ、レジスタ80Aに書き込まれているロウアドレスA2に対応したワード線WL₂Aを立ち上げる。この状態では、ラッチされているワード線と、センスアンプ群が保持しているロウのデータとは別

14

個のものとなっている。このようにビット線ゲート70Aを設けることにより、ラッチされているワード線に属するデータと、センスアンプ群が保持しているデータとをそれぞれ、別個のロウのデータとすることが可能である。これによれば、センスアンプ群14Aがデータ出力動作等の途中で、センスアンプ群14Aをプリチャージ状態とできない場合でも、センスアンプ群14Aがプリチャージされる前に、次のデータをビット線まで読み出すことができ、より素早いデータアクセスが可能となる。また、その他の効果として、ミスとなった場合、即座にデータを保持し直すのではなく、ミスとなった前回のロウのデータをセンスアンプ群に保持したままとし、ワード線のみを新たなロウに保持し直す、という方法も可能となり、データの読み出しに様々なバリエーションを持たせることも可能である。

【0039】図17に示す時刻t27～t30の期間は、センスアンプ群再ラッチの期間を示している。ビット線ゲート制御信号BLGAが立ち下がることにより、センスアンプ群14Aとビット線とが電気的に切り離されている状態の時刻t27において、リセット信号RSTAを立ち上げ、電源線SAP1AおよびSAN1Aの電位をプリチャージ電位にリセットする。次いで、電源線SAP1AおよびSAN1Aの電位がプリチャージ電位にリセットされた状態で、時刻t28においてビット線ゲート制御信号BLGAを立ち上げ、センスアンプ群14Aとビット線とを電気的に接続する。次いで、センスアンプ群14Aとビット線とが電気的に接続された状態で時刻t28において信号BLKSELAを立ち上げ、この立ち上がりを受けて時刻t30において電源線SAP1AおよびSAN1Aの電位がそれぞれ所定の電源電位にセットされる。このようにして、ビット線ゲートをオンさせてセンスアンプ群14Aとビット線とを電気的に接続することによって、ワード線WL₂Aに接続されたセルのデータがセンスアンプ群14Aにラッチされる。

【0040】図18に示す時刻t31～t36の期間は、その他の方法によったデータの読み出しの期間を示している。時刻t31においてサブアレイAで、ワード線プリチャージ反転信号BPRCHAが立ち下がり、これと同時に許可信号(許可A)を立ち下げ、レジスタ80Aに書き込まれるロウアドレスをワード線に読み込む動作を禁止する。次いで、反転信号BPRCHAおよび許可Aが立ち下がった状態で時刻t32において信号WLTCBを立ち上げ、ワード線WL₂Aを立ち下げる。次いで、ワード線WL₂Aが立ち下がった状態で時刻t33において反転信号BPRCHAを立ち上げる。次いで、反転信号BPRCHAが立ち上がった状態で時刻t33においてリセット信号RSTAを立ち上げ、電源線SAP1AおよびSAN1Aの電位をプリチャージ電位にリセットする。このようにサブアレイAのセンスアンプ群がリセット状態となっている時刻t35において、サブアレイBに、カラムアドレスCB2、ロウアドレスB2を含むアクセス要求が来たとする。これはロウアドレス

15

がヒットした状態であり、ヒット信号が立ち上り、ワード線の選択なしに、カラムアドレスCB2によって一つのカラムが選ばれ、時刻t36においてデータDout CB2、B2が出力される。このようにサブアレイAのセンスアンプ群14Aがプリチャージ状態となっても、サブアレイBではデータの読み出しを行うことができる。このように、サブアレイAとBとではそれぞれ、同時に異なる動作を並列して行うことが可能であり、並列処理による動作の高速化も実現することができる。以下、この発明の実施に有用な各種の変形例について説明する。図19は、第1の変形例の概略的なフロアプランを示す図であり、(a)、(b)はそれぞれ、異なる時刻における状態を示している。

【0041】図19(a)、(b)に示すように、サブアレイAにのみ着目して説明すると、2つのメモリセルアレイ10₁A、10₂Aで共有されたセンスアンプ群14₁A、14₂A、14₃Aが設けられている。センスアンプ群14₁Aはセルアレイ10₁A、10₂Aで共有されている。(a)に示すように、セルアレイ10₁Aに属しているワード線WL₁Aが選ばれた時には、センスアンプ群14₁Aと14₂Aとのペアが活性化され、ワード線WL₁Aが属するロウのデータは、センスアンプ群14₁Aと14₂Aとのペアに保持され、出力待機状態となる。また、(b)に示すようにセルアレイ10₂Aに属しているワード線WL₂Aが選ばれた時には、センスアンプ群14₁Aと14₃Aとのペアが活性化され、ワード線WL₂Aが属するロウのデータは、センスアンプ群14₁Aと14₃Aとのペアに保持され、出力待機状態となる。このように、選択されたワード線が属するセルアレイによってセンスアンプ群の構成メンバーが替わるようなDRAMにも、この発明は適用することができる。図20は、第2の変形例の概略的なフロアプランを示す図であり、(a)、(b)はそれぞれ、異なる時刻における状態を示している。

【0042】図20(a)に示すように、センスアンプ群14A~14Eにそれぞれ、ワード線WL₁A、WL₁B、WL₁C、WL₁D、WL₁Eに対応するロウのデータが保持されている。また、センスアンプ群14F~14Hはそれぞれ、プリチャージ状態にある。

【0043】(a)に示す状態にあるセンスアンプ群がそれぞれ(b)に示す状態へ移る動作が、並行してまたは連続に前後して行われている。(b)に示す状態ではセンスアンプ群14Aに保持されていたデータの一部、または全部が出力されている。また、センスアンプ群14B、14Dではそれぞれ、ワード線WL₁B、WL₁Dに対応するロウのデータが破棄されて、代わってそれぞれ、WL₂B、WL₂Dに対応するロウのデータが保持されている。また、センスアンプ群14Cでは、他のセンスアンプ群の動作の影響を受けずに、ワード線WL₁Cに対応するロウのデータが保持されたままである。

16

また、センスアンプ群14Eはワード線WL₁Eに対応するロウのデータを破棄し、プリチャージ状態となっている。また、センスアンプ群14F、14Hではそれぞれ、ワード線WL₁F、WL₁Hに対応するロウのデータを新たに保持している。また、センスアンプ群Gでは、他のセンスアンプ群の動作の影響を受けずに、プリチャージ状態を保っている。このように、サブアレイが3種類以上となっても、サブアレイは他のサブアレイの動作状態とは無関係に、独自の動作を維持できる。図21は、第3の変形例の概略的なフロアプランを示す図である。

【0044】図21に示すように、サブアレイAにのみ着目して説明すると、1つのメモリセルアレイ10Aに対して、2つのセンスアンプ群14₁A、14₂Aが設けられている。ビット線は、センスアンプ群14₁Aあるいは14₂Aのいずれかに接続されている。センスアンプ群14₁A、14₂Aはそれぞれ、ワード線WL₁Aが属するロウのデータを保持する。図22は、第4の変形例の概略的なフロアプランを示す図である。

【0045】図22に示すように、サブアレイAにのみ着目して説明すると、2つのメモリセルアレイ10₁A、10₂Aに対して一つのセンスアンプ群14₁Aが設けられている。センスアンプ群14₁Aに接続されるビット線が2つのメモリセルアレイに入るため、1つのセンスアンプ群14₁Aがセルアレイ10₁A、10₂Aで共有される形となっている。この形の装置では、セルアレイ10₁Aに属したワード線WL₁Aとセルアレイ10₂Aに属したワード線WL₂との2つのロウのデータを、センスアンプ群14₁Aに同時に保持することができる。図23は、第5の変形例の概略的なフロアプランを示す図である。

【0046】図23に示すように、サブアレイAにのみ着目して説明すると、2つのメモリセルアレイ10₁A、10₂Aが設けられており、セルアレイ10₁Aはセンスアンプ群14₁Aと14₂Aとのペアに、セルアレイ10₂Aはセンスアンプ群14₁Aと14₃Aとのペアにそれぞれ接続される形となっている。この形の装置では、セルアレイ10₁Aに属したワード線WL₁Aとセルアレイ10₂Aに属したワード線WL₂との2つのロウのデータをそれぞれ、センスアンプ群14₁Aと14₂Aとのペア、14₁Aと14₃Aとのペアに同時に保持することができる。図24は、第6の変形例の概略的なフロアプランを示す図である。

【0047】図24に示すように、サブアレイAにのみ着目して説明すると、一つのセンスアンプ群14₁Aに対して、4つのメモリセルアレイ10₁A、10₂A、10₃A、10₄Aが設けられている。ワード線WL₁A、WL₂Aが属するセルアレイ10₁A、10₂Aが活性化される一方で、その他のセルアレイ10₃A、10₄Aはプリチャージ状態となっている。この形の装置

では、セルアレイ10_{LA}、10_{LB}のいずれかに属したワード線の一つと、セルアレイ10_{MA}、10_{MB}のいずれかに属したワード線の一つとの合計2つのロウのデータを、センスアンプ群14_{LA}に同時に保持することができる。

【0048】図25は、第8の変形例の概略的なフロアプランを示す図である。この例は、ビット線ゲートを用いた、センスアンプ群へのデータ保持動作に関しており、図25(a)～(d)はそれぞれ、動作タイミング毎の装置の状態を示している。

【0049】図25に示すように、2つのメモリセルアレイ10_L、10_Rには一つのセンスアンプ群14_{LA}が設けられている。セルアレイ10_Lとセンスアンプ群14_{LA}とはビット線ゲート群70₁を介して接続され、セルアレイ10_Rとセンスアンプ群14_{LA}とはビット線ゲート群70₂を介して接続されている。まず、図22

(a)に示す状態では、ワード線WL₁に対応するロウが選択され、セルアレイ10_Lが活性化され、センスアンプ群14_{LA}にワード線WL₁に属するセルのデータが保持される。この時、ビット線ゲート群うち、ゲート群70₁のみがオンしている。次いで、図22(b)に示す状態のように、ゲート群70₁もオフされる。この時、センスアンプ群14_{LA}はワード線WL₁に属するセルのデータを保持し続けている。次いで、図22(c)に示すように、ゲート群70₁、70₂をとともオフさせた状態で、ワード線WL₂に対応するロウを選択し、セルアレイ10_Rを活性化する。この時、センスアンプ群14_{LA}はワード線WL₁に属するセルのデータを保持し続けている。次いで、図22(d)に示すように、ビット線ゲート70₂をオンさせ、センスアンプ群14_{LA}にワード線WL₂に属するセルのデータを保持させる。このような動作によれば、センスアンプ群14_{LA}がプリチャージされる前に、次のデータがビット線まで来ることにより、より素早いデータアクセスが可能となる。図26は、第9の変形例の概略的なフロアプランを示す図である。この例は、データ出力部に関する。

【0050】図26に示すように、センスアンプ群14は、例えば8個ずつの組みで2つに分かれ、分割された2つのうちの一つがデータ線に接続される。つまり、8個のセンスアンプに保持されていたデータがデータ線に

バラレルに出力される。この出力されたデータがコンバータ90でバラレル/シリアル変換を受けて高速に外部に出力される。これにより大きなバンドワイス(時間当り伝送データ量)を達成することができる。

【0051】以上のように上記各実施例にて説明した半導体メモリによれば、ロウを選択し、そのロウのデータをセンスアンプに保持してデータアクセスの待機状態を実現することにより、メモリのデータアクセスタイムを格段に小さくすることができる。また、メモリ領域を複数のサブアレイに分け、サブアレイ毎のセンスアンプ

に、異なる時刻で異なるアドレスに対応するロウのデータを保持できるように構成することにより、より速いデータアクセスが可能となる。これによりCPU等のデータ処理速度にメモリのアクセス速度が追いつくことが可能となるとともに、コンピュータ自体の動作速度も格段に向上させることができる。図27は、第10の変形例の概略的なフロアプランを示す図である。この例は、データ取り出し方式に関する。

【0052】図27に示すように、複数のセンスアンプ群14A～14Dを、等価並列的に見て、データD_{out}A～D_{out}Dを、サブアレイA～D毎に並列して1ビットずつ取り出すことにより、I/O数が×4といった、複数のI/Oを備えるメモリとして構成することができる。

【0053】このような方式によれば、複数のI/Oを備えるメモリにおいて、パターンのメモリ領域の出力部とI/Oとを近接させることが可能となり、データ信号のチップ内遅延を軽減できる。従って、上記実施例により説明したメモリのデータアクセスタイムが向上するという効果に加え、データ信号のチップ内遅延の軽減をも同時に得ることができ、メモリの動作の更なる高速化を達成できる。

【0054】

【発明の効果】以上説明したように、この発明によれば、データアクセスタイムを短縮できる半導体メモリを提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に関わる半導体メモリのフロアプランを示す図。

【図2】図2はこの発明の第1の実施例に関わる半導体メモリの要部を示す図。

【図3】図3はこの発明の第1の実施例に関わる半導体メモリの変形例を示す図。

【図4】図4は図3に示すメモリの動作を示すタイミング波形図。

【図5】図5(a)～(h)はそれぞれ図4に示すタイミング毎のメモリの状態を示した図。

【図6】図6(a)～(h)はそれぞれ図4に示すタイミング毎のその他の例に係わるメモリの状態を示した図。

【図7】図7は増幅器群の一構成を示すブロック図。

【図8】図8は図7に示す増幅器群の回路図。

【図9】図9はこの発明の第2の実施例に関わる半導体メモリのフロアプランを示す図。

【図10】図10は図9に示すワード線電位保持回路の回路図。

【図11】図11はこの発明の第3の実施例に関わる半導体メモリのフロアプランを示す図。

【図12】図12は図11に示すビット線ゲートの回路図。

【図13】図13はこの発明の第4の実施例に関わる半導

体メモリのフロアプランを示す図。

【図14】図14は図13に示す半導体メモリの動作を示すタイミング波形図。

【図15】図15は図13に示す半導体メモリの動作を示すタイミング波形図。

【図16】図16は図13に示す半導体メモリの動作を示すタイミング波形図。

【図17】図17は図13に示す半導体メモリの動作を示すタイミング波形図。

【図18】図18は図13に示す半導体メモリの動作を示す 10
タイミング波形図。

【図19】図19はこの発明の第1の変形例に係わる半導体メモリのフロアプランを示す図で、(a)、(b)はそれぞれ異なる時刻におけるメモリの状態を示す図。

【図20】図20はこの発明の第2の変形例に係わる半導体メモリのフロアプランを示す図で、(a)、(b)はそれぞれ異なる時刻におけるメモリの状態を示す図。

【図21】図21はこの発明の第3の変形例に係わる半導体メモリのフロアプランを示す図。

【図22】図22はこの発明の第4の変形例に係わる半導* 20

* 体メモリのフロアプランを示す図。

【図23】図23はこの発明の第5の変形例に係わる半導体メモリのフロアプランを示す図。

【図24】図24はこの発明の第6の変形例に係わる半導体メモリのフロアプランを示す図。

【図25】図25はこの発明の第8の変形例に係わる半導体メモリのフロアプランを示す図で、(a)～(d)はそれぞれ異なる時刻におけるメモリの状態を示す図。

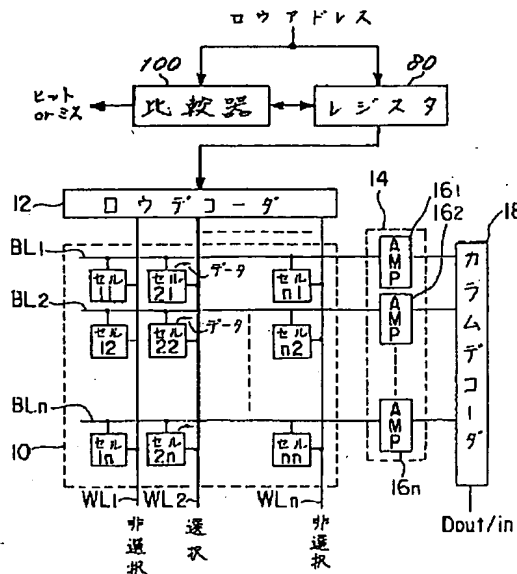
【図26】図26はこの発明の第9の変形例に係わる半導体メモリのフロアプランを示す図。

【図27】図27はこの発明の第10の変形例に係わる半導体メモリのフロアプランを示す図。

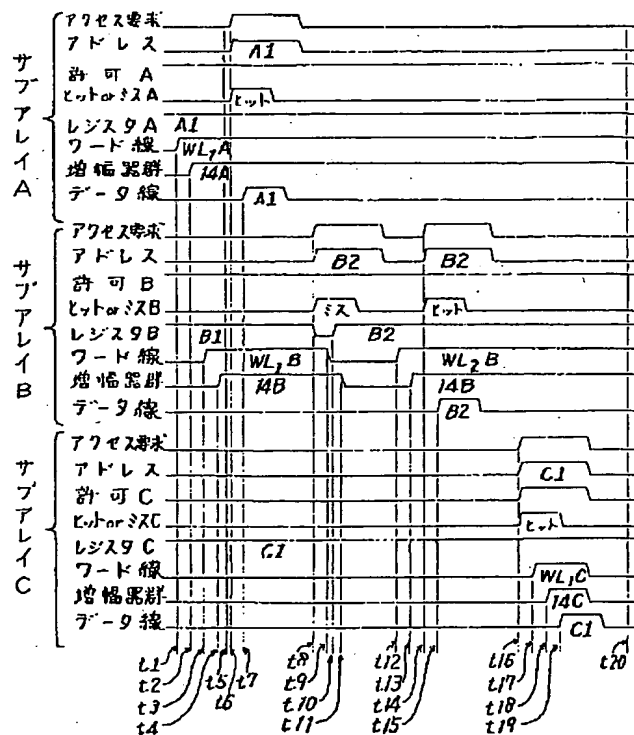
【符号の説明】

10…メモリセルアレイ、12…ロウデコーダ、14…増幅器群(センスアンプ群)、16…増幅器、18…カラムデコーダ、20…センス回路、22…電位供給/保持回路、24…プリチャージ回路、50…ワード線保持回路、70…ビット線ゲート群、80…アドレスレジスタ、100…比較器。

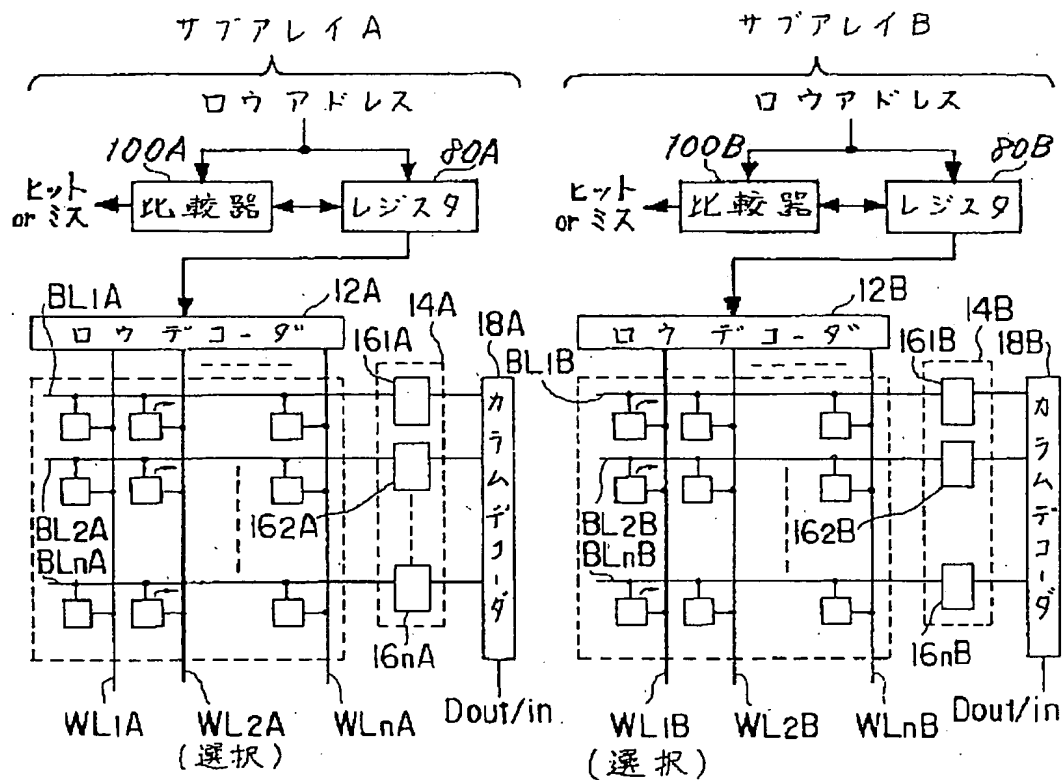
【図2】



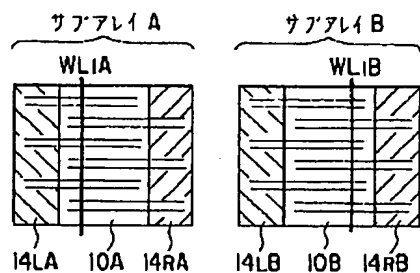
【図4】



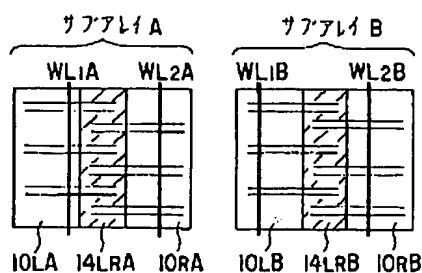
【図1】



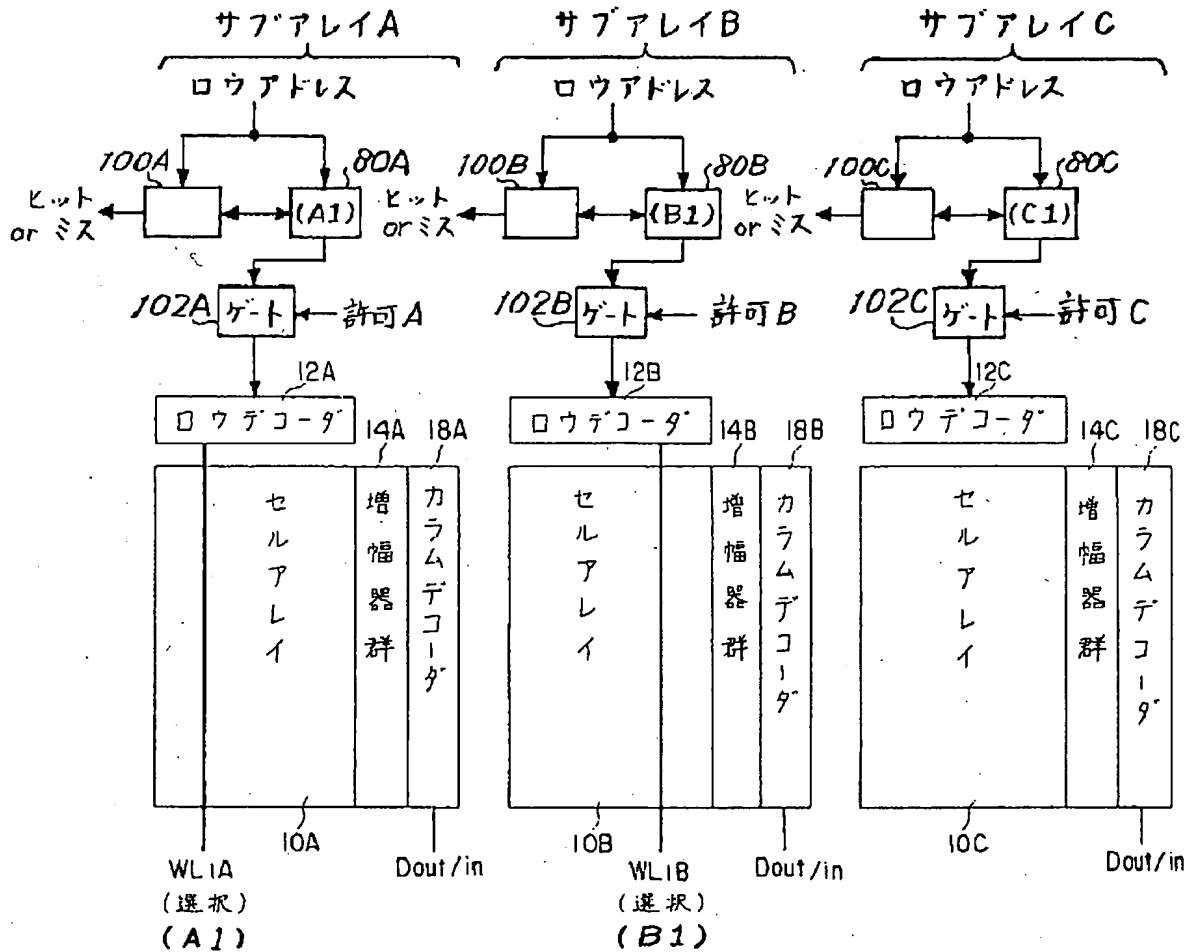
【図21】



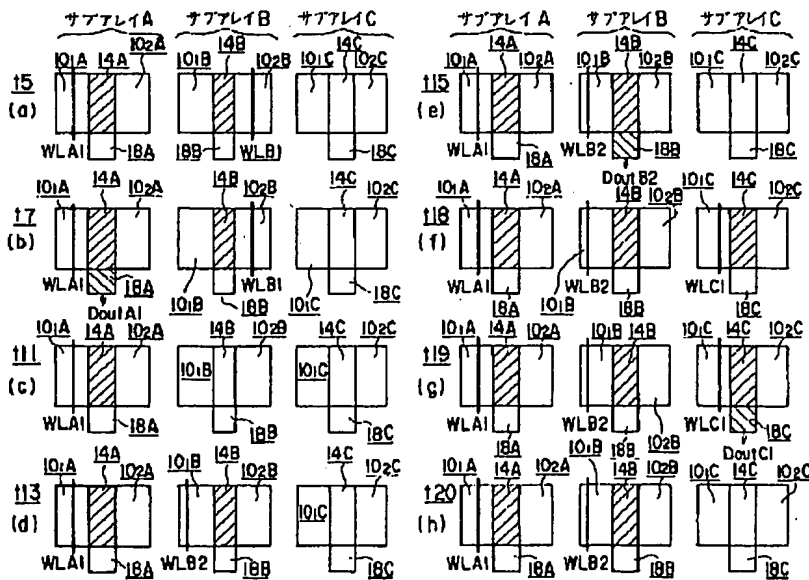
【図22】



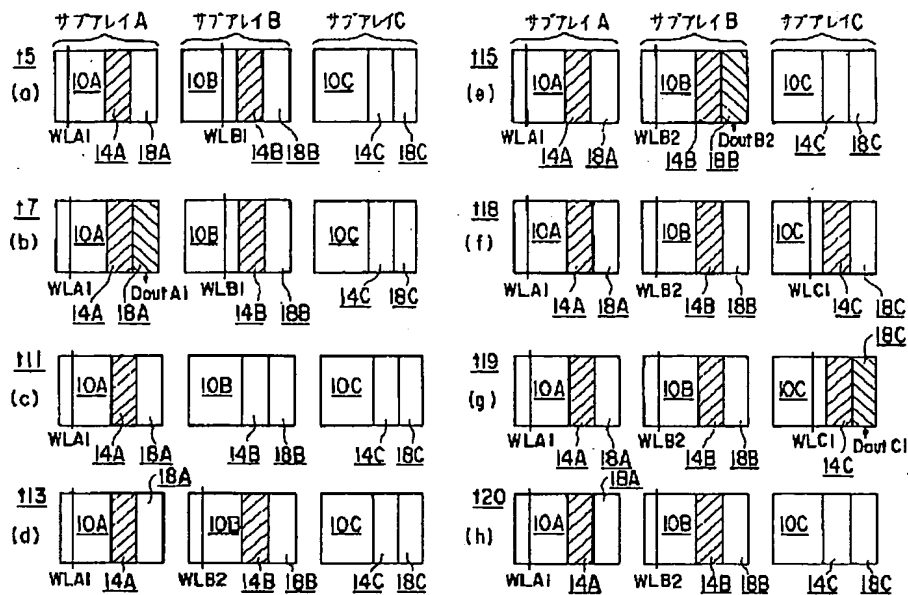
【図3】



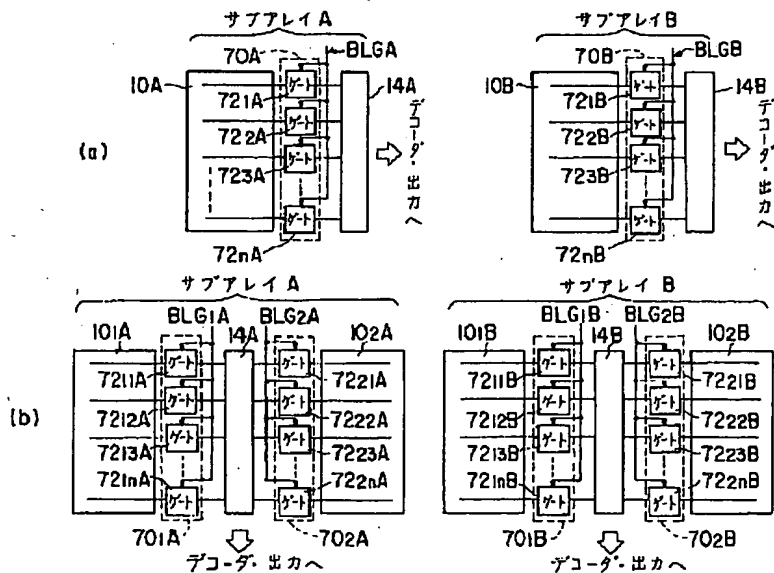
【図6】



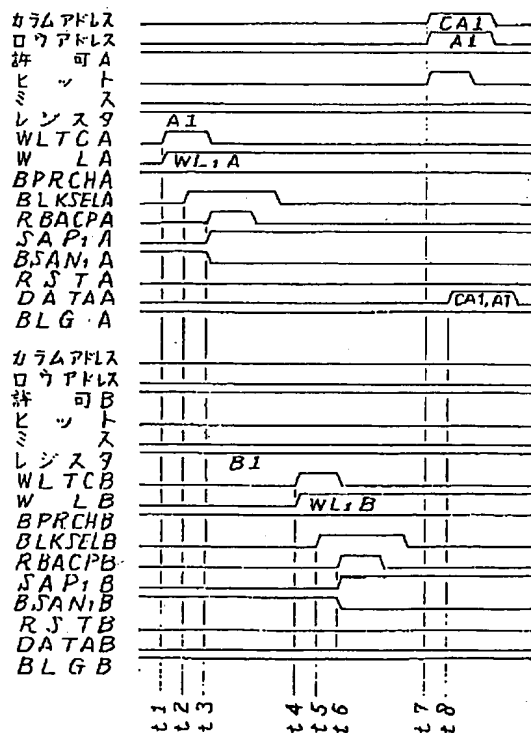
【図5】



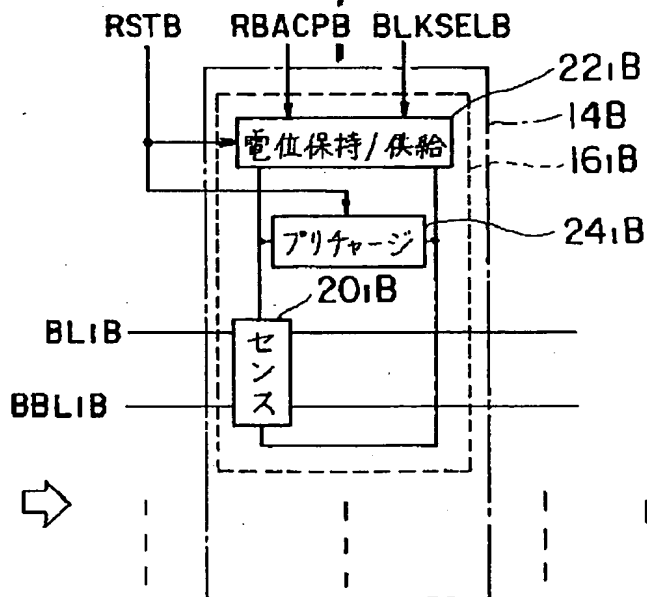
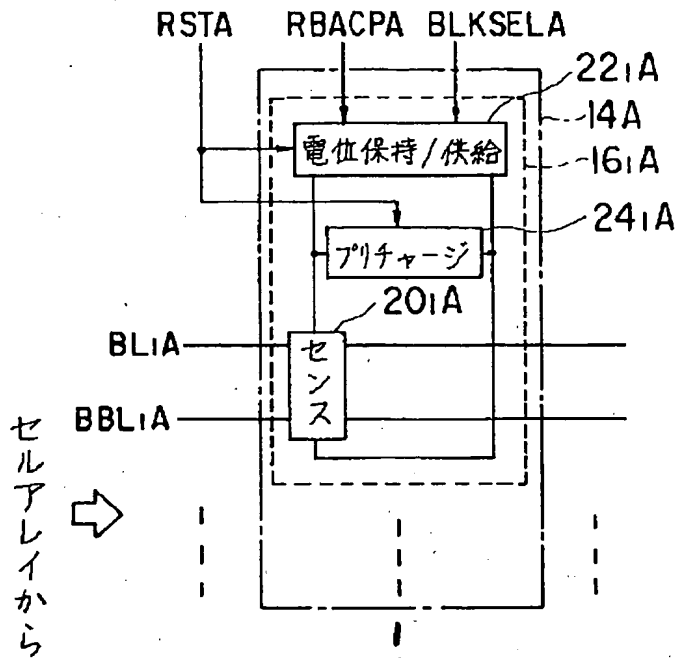
【図11】



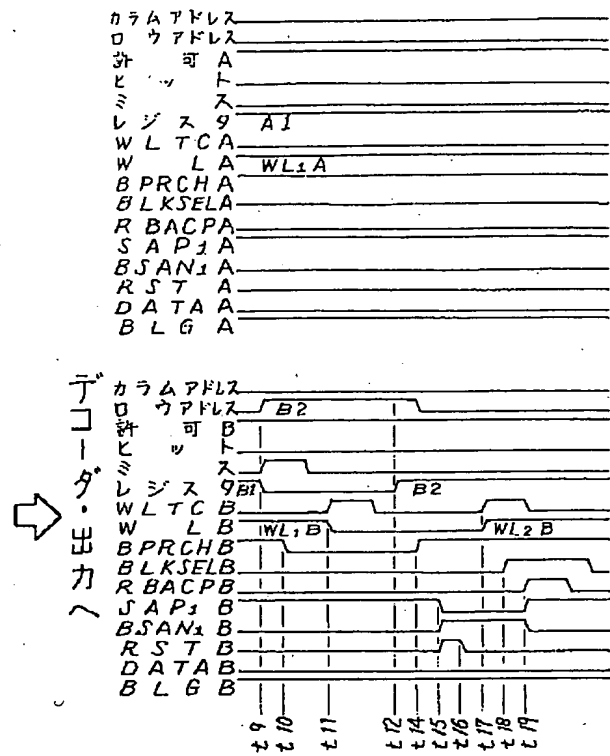
【図14】



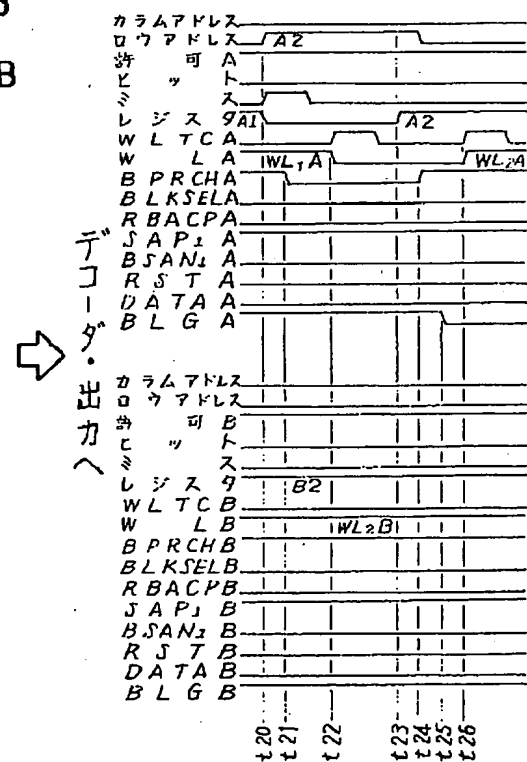
【図7】



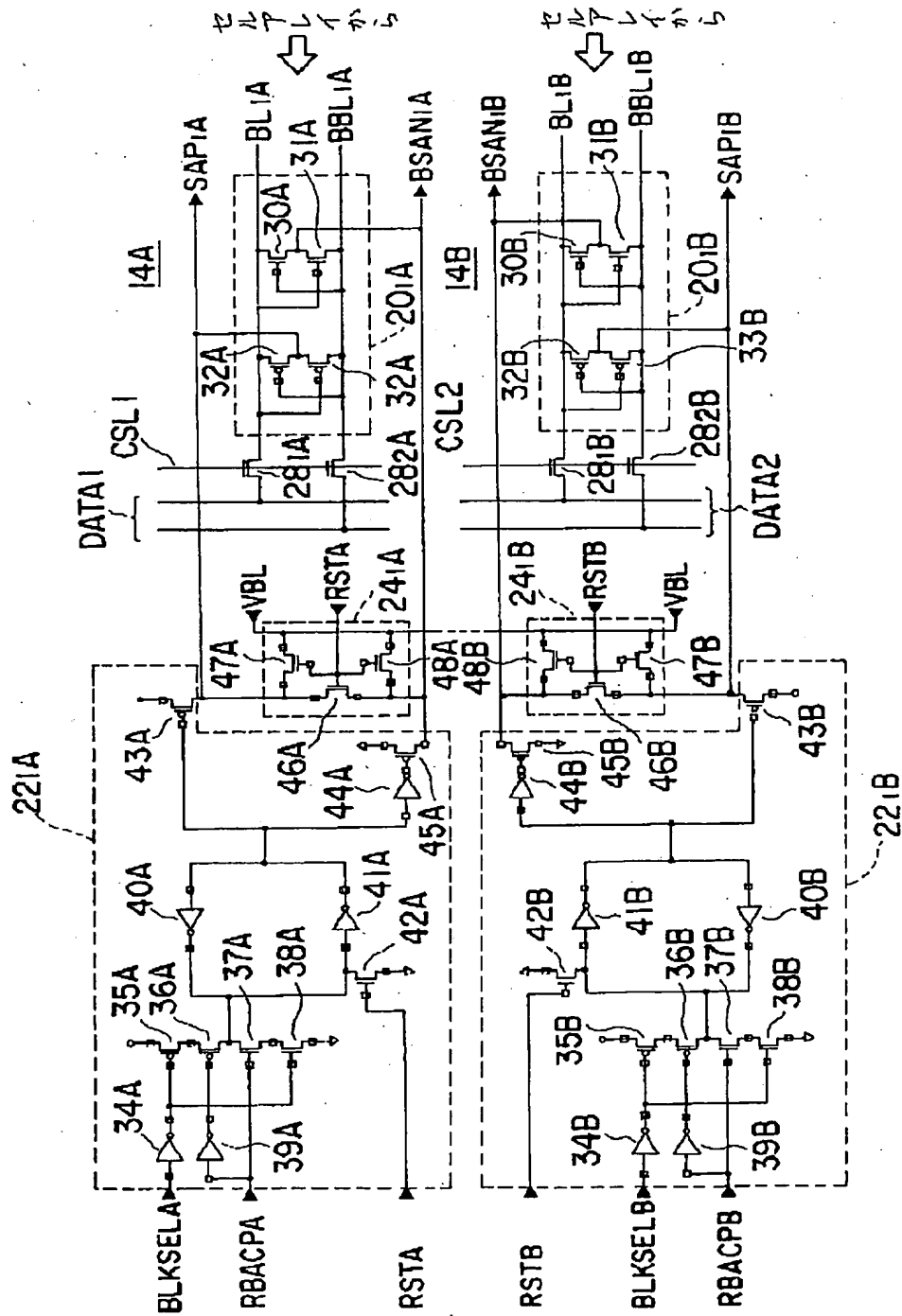
【図15】



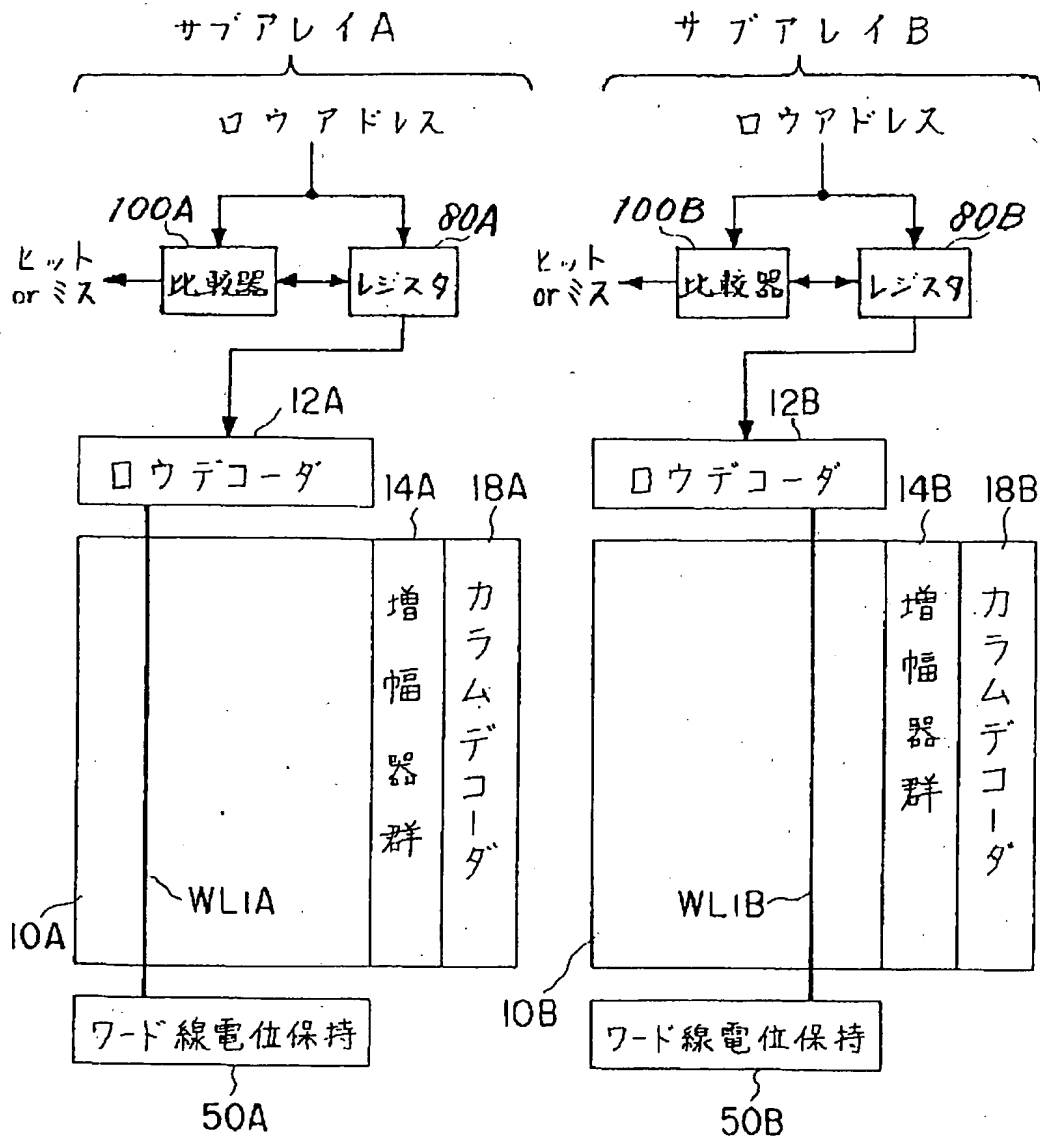
【図16】



【図 8】

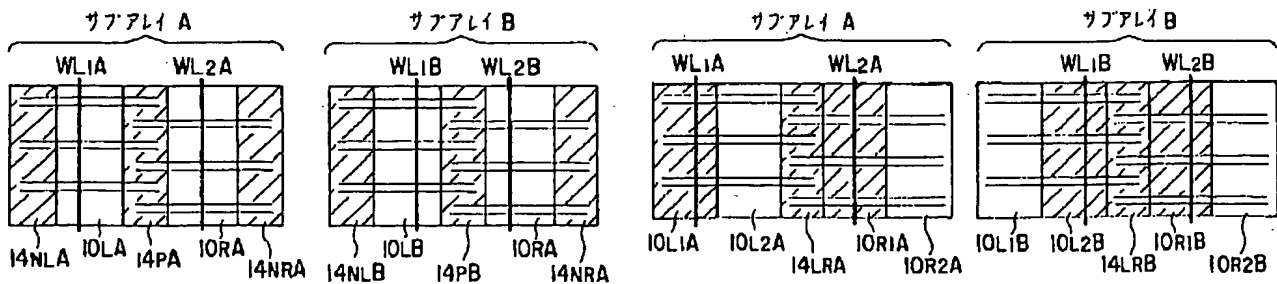


【図9】

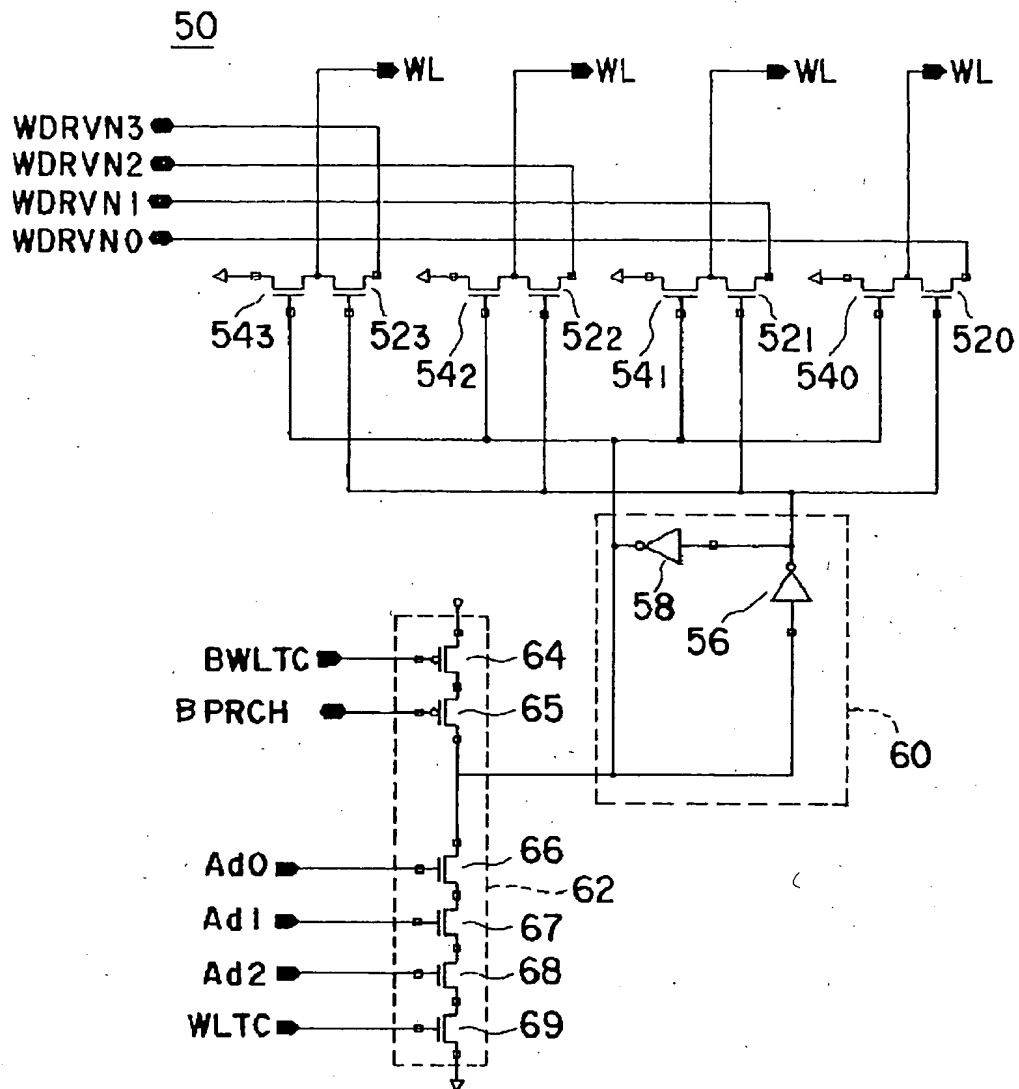


【図23】

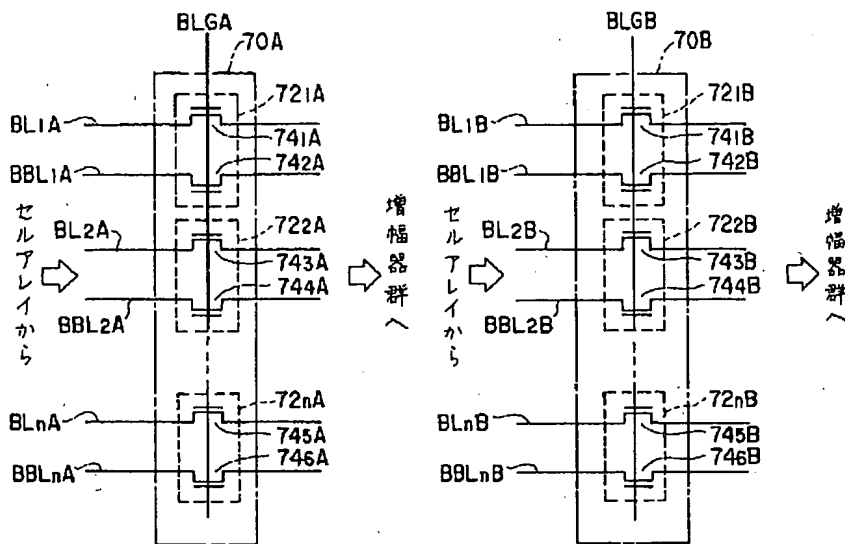
【図24】



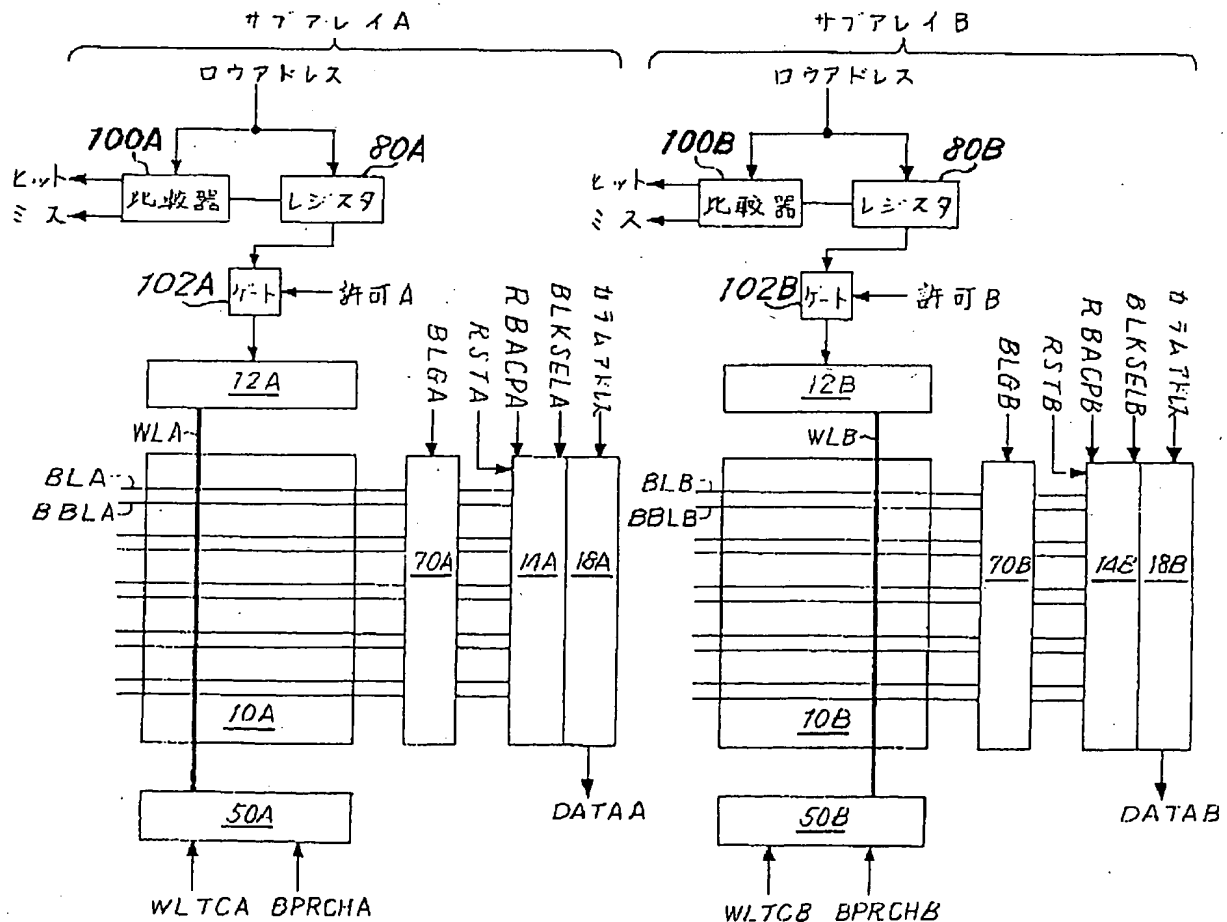
【図10】



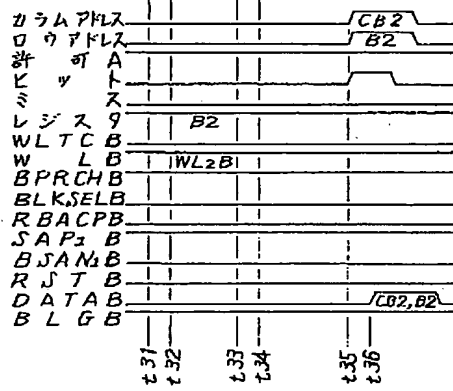
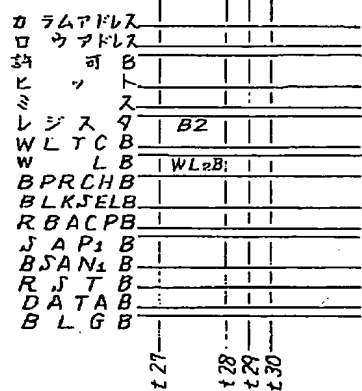
【図12】



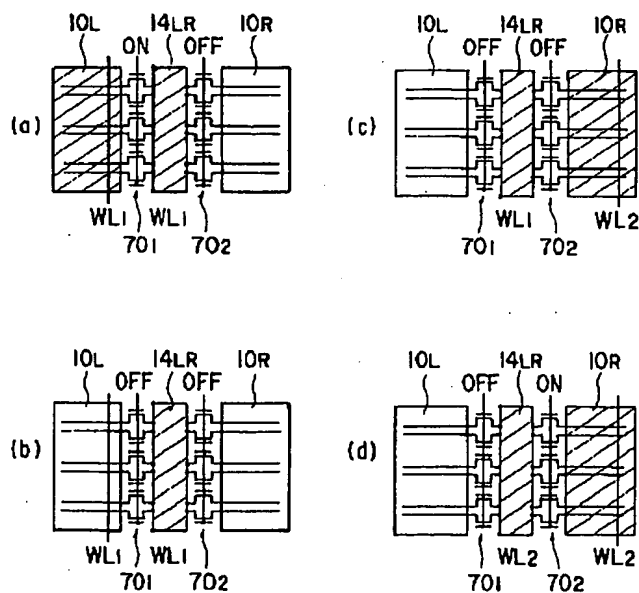
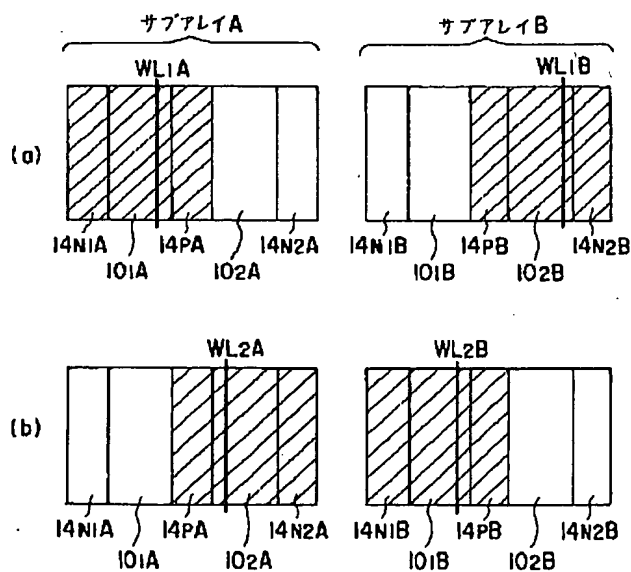
【図13】



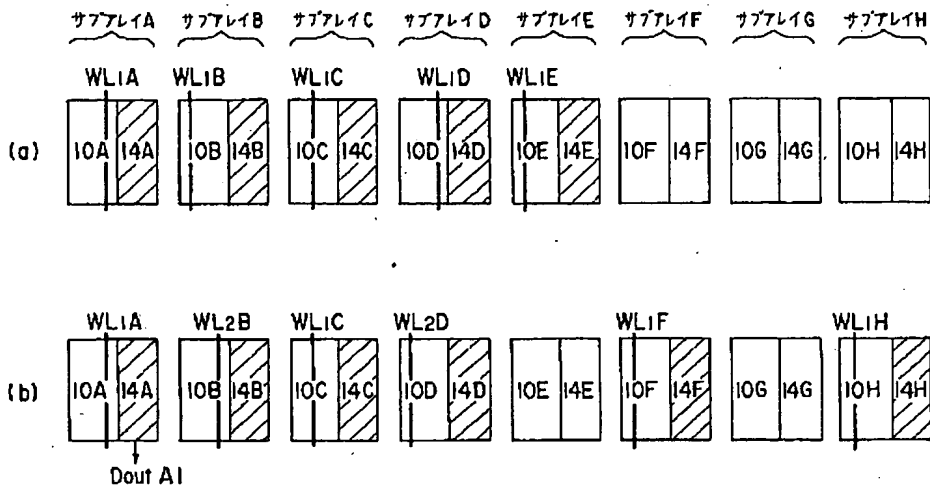
【図 18】



【図 25】

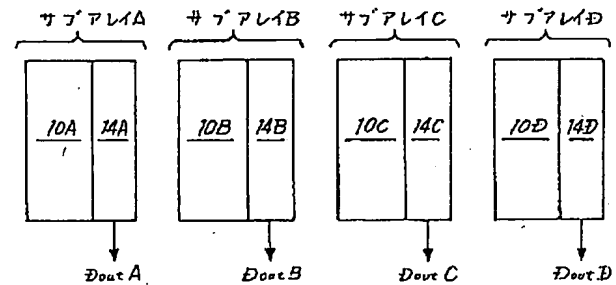
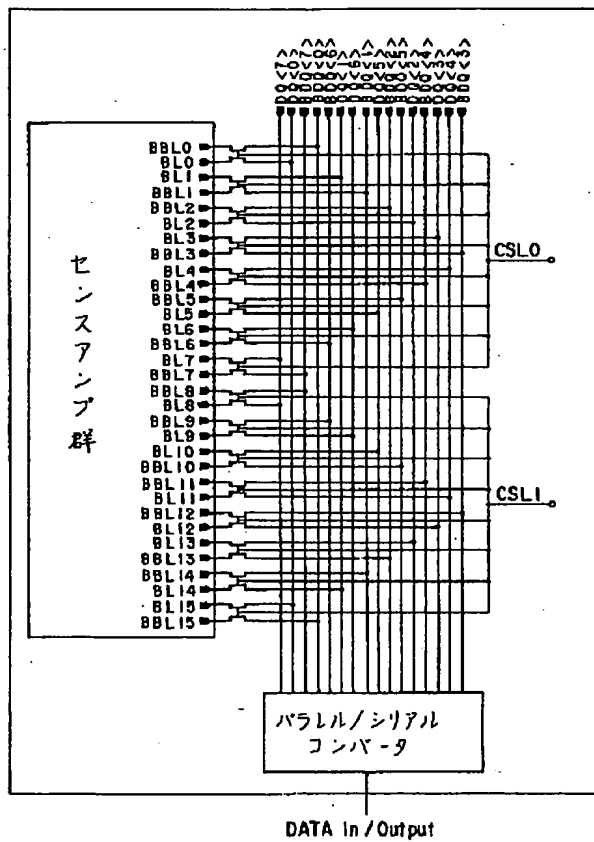


【図20】



【図26】

【図27】



フロントページの続き

(72)発明者 ドナルド チャールズ スターク
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 古山 透
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 大島 成夫
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 櫻井 清史
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 野路 宏行
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-325544

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

G11C 11/401

(21)Application number : 04-131095

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 22.05.1992

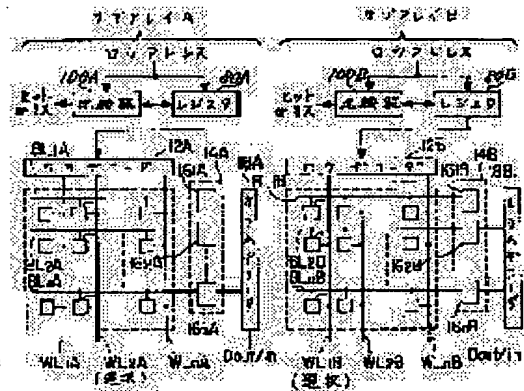
(72)Inventor : TAKASE SATORU
KUSHIYAMA NATSUKI
DONARUDO CHIYAARUZU
SUTAAKU
FURUYAMA TORU
OSHIMA SHIGEO
SAKURAI SEISHI
NOMICHI HIROYUKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a semiconductor memory capable of improving a hit rate and shortening data accessing time.

CONSTITUTION: This memory is provided with plural subarrays A and B constituted of a memory area 10 and amplifier groups 14 connected to a bit line BL and for amplifying a signal flowing to this BL line. The amplifier groups 14 are also constituted so as to hold data extracted from rows WL2A and WL1B corresponding to addresses different from each other for each subarray A and B. Thus, the data of rows corresponding to addresses different for each subarray A and B from each other are held, and since plural rows are set in a holding state, the probability of hitting accessing demands to the rows in a holding state is improved. Also, since data is held by the amplifier groups, the data is caused to be in an output standby state in the amplifier groups and the data accessing time from the access demands to the output of data is shortened.



LEGAL STATUS

[Date of request for examination]

10.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	2892216
[Date of registration]	26.02.1999
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Semiconductor memory characterized by taking at least the state of holding the data of each cell connected to the word line corresponding to the address from which memory storage is provided, it has two or more aforementioned memory storage, and the aforementioned amplifier group differs mutually simultaneously for every memory storage of such characterized by providing the following The memory cell array by which the memory cell has been arranged in the shape of a matrix Two or more word lines connected common to each memory cell of the same line of the aforementioned memory cell array Two or more bit lines connected common to each memory cell of the same train of the aforementioned memory cell array The amplifier group which changes by the meeting of the amplifier which amplifies the data which flow to each bit line which can take the state of holding the data of each cell connected to the desired word line

[Claim 2] The aforementioned amplifier group is semiconductor memory according to claim 1 characterized by performing maintenance of data, and precharge of data independently, respectively.

[Claim 3] the claim 1 by which it is providing further word line potential attaching part which continued choosing aforementioned word line characterized, or 2 — semiconductor memory given in either

[Claim 4] the claim 1 characterized by providing further the bit line gate which can separate the aforementioned bit line and the aforementioned amplifier group electrically to predetermined timing, or a claim 3 — semiconductor memory given in either

[Claim 5] the claim 1 characterized by providing further the storage section which memorizes which word line of this memory storage is chosen for every aforementioned memory storage, or 4 — semiconductor memory given in either

[Claim 6] the claim 1 characterized by consisting of states where at least two of two or more aforementioned amplifier groups hold predetermined data, respectively so that only at least one amplifier group can output data, or a claim 5 — semiconductor memory given in either

[Claim 7] the claim 1 characterized by consisting of states where at least two of two or more aforementioned amplifier groups hold predetermined data, respectively so that only at least one amplifier group can be precharged, or a claim 6 — semiconductor memory given in either

[Claim 8] the claim 1 characterized by consisting of states where at least two of two or more aforementioned amplifier groups hold predetermined data, respectively so that it may be possible to newly hold the data of each cell connected to the word line corresponding to this address based on predetermined addressing after precharge is performed by at least one amplifier group, or a claim 7 — semiconductor memory given in either

[Claim 9] the claim 1 characterized by consisting of states where at least one of two or more aforementioned amplifier groups holds predetermined data so that at least one amplifier group other than this amplifier group may be able to hold the data of each cell connected to the word line corresponding to this address based on predetermined addressing, or a claim 8 — semiconductor memory given in either

[Claim 10] the claim 1 characterized by being constituted so that they may be able to be in the state where data are not held, and for at least two to get mixed up continuously, and to perform

maintenance operation of the data of each cell by which these amplifier groups were connected to the word line corresponding to this address based on predetermined addressing among two or more aforementioned amplifier groups, or a claim 9 — semiconductor memory given in either [Claim 11] the claim 1 to which, as for the amplifier group which is in the state where data are not held while at least one of two or more aforementioned amplifier groups is in operating state, being in the state where at least one does not hold data and performing the aforementioned operation, data are characterized by being held, or a claim 10 — semiconductor memory given in either

[Claim 12] It is the semiconductor memory according to claim 3 characterized by being able to latch the word line corresponding to the address which is different by at least two or more memory storage among two or more aforementioned memory storage, respectively, being able to precharge only one of these word lines latched, being able to re-latch to the word line corresponding to other addresses, and latching other word lines at this time.

[Claim 13] The word line made into an active state at the time of selection of a word line is semiconductor memory according to claim 4 characterized by maintaining a non-active state as it is until it will be in a non-active state and rewrites the maintenance data of the next aforementioned amplifier group, after sending the data of each cell connected to the sense amplifier group at the word line to the aforementioned amplifier group and making them hold.

[Claim 14] In the state where at least one amplifier group holds data among two or more aforementioned amplifier groups By being able to perform operation which the data corresponding to a new low choose by making word line potential into predetermined potential, and separating the aforementioned bit line and an amplifier group electrically by the aforementioned bit line gate at this time Both the data which the aforementioned amplifier group holds, and the data corresponding to a new low are semiconductor memory according to claim 4 characterized by performing the above-mentioned operation without destroying.

[Claim 15] When rewriting to the data corresponding to a new low from the state where at least one amplifier group holds data among two or more aforementioned amplifier groups The aforementioned bit line and an amplifier group are electrically separated by the aforementioned bit line gate. The data corresponding to a new low are chosen by making word line potential into predetermined potential. the aforementioned amplifier group — precharging — the aforementioned aforementioned bit line gate — the aforementioned bit line and an amplifier group — electric — connecting — the above — the semiconductor memory according to claim 4 characterized by being constituted so that the data corresponding to a new low may be made to hold in the aforementioned amplifier group

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the semiconductor memory which has improved the working speed with respect to semiconductor memory.

[0002]

[Description of the Prior Art] In the world of a computer, improvement in the working speed of memory cannot be caught up with the working speed of arithmetic and program control (CPU), but the difference of both working speed is in the inclination opened every year. Then, quick memory of data access time is desired.

[0003] There is the mode called page mode as a mode of operation which aimed at improvement in the speed of operation. A page mode is the method of specifying the column address, setting one row address constant. Since one low is changed into the selection state for it to be this method, data can be read only by specifying the column address, the time taken to choose a low is saved, and the access time of data can be made quick. However, the low chosen is only one and a data-access demand does not always come to the low by the page mode. For this reason, time is taken to output the selection to data from memory, whenever a different low is chosen.

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, the probability (HITTORE-TO) that a data-access demand will come to the low in a selection state by the page mode (this is called a "hit" below) is bad. For this reason, the average with the case where it hits with the case (this is called "a mistake" below) where a data-access demand does not come to the low in a selection state, i.e., the average of the whole data access time, becomes bad, and the fault of not going up so much has the effect of shortening of the access time of data as a result.

[0005] In view of the above points, it succeeded in this invention, and the purpose is to offer the semiconductor memory which can shorten data access time while being able to improve HITTORE-TO.

[0006]

[Means for Solving the Problem] It connects with a bit line with memory storage, and the semiconductor memory concerning this invention has two or more sub arrays constituted by the amplifier which amplifies the signal which flows to this bit line. And amplifier is characterized by being constituted so that the cell data extracted from the low corresponding to the mutually different address can be held for every sub array.

[0007]

[Function] If it is in the above-mentioned semiconductor memory, since the data extracted from the low corresponding to the address from which amplifier differs mutually can be held for two or more sub arrays of every, it can improve in the probability, i.e., HITTORE-TO, that a data-access demand will come to the low in a selection state. Therefore, the average of the whole data access time including both hit and mistake can be made small.

[0008] Furthermore, the data with which the cell data extracted from the low should be held and read to amplifier are in the state where it stood by with amplifier. For this reason, after there is an access demand, compared with the method which reads and outputs data from memory, time

(data access time) until it outputs data can be shortened sharply.

[0009]

[Example] Hereafter, with reference to a drawing, an example explains this invention. In this explanation, overlapping explanation is given by giving the same reference mark to the same portion over a complete diagram to avoid. Drawing 1 - drawing 2 are drawings showing the floor plan of DRAM in connection with the 1st example of this invention, respectively.

[0010] first, the memory cell array 10 by which memory cell (11) - (nn) has been arranged in the shape of a matrix as shown in drawing 2 — it is — word line WL1 -WLn It connects with the cell (11) of the same line - (1n) (21) - (2n) and (31) - (3n) in common, respectively, and is bit line BL1 -BLn. It connects with the cell (11) of the same train - (n1) (12) - (n2) and (13) - (n3) in common, respectively. Word line WL1 -WLn It connects with the low decoder 12 and is bit line BL1 -BLn. It connects with the amplifier group 14. the amplifier group 14 — bit line BL1 -BLn every — 161-16n of amplifier which amplifies the cell data taken out from cell (11) - (nn) from — it changes Bit line BL1 -BLn It is 161-16n of amplifier, respectively. It minds and connects with the column decoder 18. The register 80 which can memorize a predetermined row address is connected to the low decoder 12. While a row address is incorporated by the register 80, it connects with the comparator 100.

[0011] The semiconductor memory concerning this invention is a cell (all over drawing, a cell (21), (22), and the cell data currently held at (2n) are made to hold to 161-16n of amplifier, respectively, and the amplifier group 14 is made into an output standby state.) which chooses a desired low (word line) (WL2 is chosen all over drawing), and is connected to this selected low. When the row address corresponding to the low chosen is memorized by the register 80, an access demand comes to memory and a mutual row address is [a comparator 100 compares the row address which the access demand contains with the row address memorized by the register 80 and] in agreement, the hit signal which tells the hit purport is outputted, and in being inharmonious, it outputs the mistake signal which tells the purport in which the mistake was made. From a comparator 100, when a hit signal is outputted, data are outputted only by selection of the column by the column address, without performing low selection. Moreover, from a comparator 100, when a mistake signal is outputted, the row address memorized by the register 80 is rewritten to the row address which an access demand contains, low selection by this rewritten row address and selection of the column by the column address are performed, and data are outputted.

[0012] Compared with a method which chooses a low, chooses a column further and outputs data after there is an access demand of data that it is such a method of operation, time required to choose a low can be saved and time (access time) after there is an access demand until it outputs data can be shortened. as mentioned above, an access demand not necessarily comes to the low of a selection state (hit) — it is not necessarily — although — by memory, even if the probability that an access demand will come succeeding one low is very high and it takes into consideration what (mistake) the access demand came to the low in the state where it does not choose, the average of the access time of the whole memory including both of a hit mistake is shortened Furthermore, by forming a register 80 and making the low row address chosen as this register 80 memorize, the amplifier group 14 can know of which row address data are held in an instant, and can realize improvement in the speed of the further access time.

[0013] In addition, it is 161-16n of amplifier, respectively about the cell data of each cell connected to the rechosen low in consideration of the next access demand although a low will newly be rechosen when it is that a mistake is made. It is made to hold and amplifier 14 is made into the output standby state. Moreover, the new row address is memorized to the register 80 as it is. Thereby, a next access demand can raise the probability used as a hit.

[0014] Furthermore, in this invention, in order to raise the probability to hit, two or more memory sections as shown in drawing 2 were prepared in one chip, as shown in drawing 1 , and the concept of a sub array is taken in. It is possible to make the low cell data corresponding to the different address hold to amplifier 161 A-16n A and 161 B-16n B, respectively at the sub array A and the sub array B. Thereby, as for the amplifier groups 14A and 14B, the low cell data corresponding to the different address changes into an output standby state, respectively. it is

shown all over drawing — as — the sub array A — a word line WL2 — A is in a selection state, the data of a cell connected to word line WL2 A are held at amplifier 161 A-16n A, by the sub array B, word line WL1 B is in a selection state, and the data of a cell connected to word line WL1 B are held at amplifier 161 B-16n B. Thus, while preparing two or more lows of a selection state, the probability which an access demand hits can be raised to the low of a selection state by making into a selection state the low corresponding to the address from which these differ mutually simultaneously. In addition, the register which memorizes the low row address of a selection state also forms Registers 80A and 80B for every sub array. Moreover, the comparator also forms Comparators 100A and 100B for every sub array.

[0015] Furthermore, when it was the composition shown in drawing 1 and is that a mistake is made, it is possible to rechoose only the low which was that a mistake is made in. According to this, it is necessary to carry out the reselection of no lows to the degree of a mistake and, various variations can be given to the data-hold state of amplifier 161 B-16n B rather than it rechooses all lows, and the probability which an access demand hits can be raised.

[0016] Moreover, as shown in drawing 3, in the prepared sub array, the sub array C which does not hold a low cell data may be formed. At this time, Gates 102A-102C are formed between Registers 80A-80C and the low decoders 12A-12C, and these gates are controlled by the register - decoder connection enabling signal, Permission A - Permission C. The sub array which does not hold data can be prepared into a sub array group by using these gates 102A-102C, connecting electrically or cutting a register and a decoder.

[0017] Next, with reference to drawing 3 - drawing 5, operation of DRAM concerning the example of this invention is explained. Drawing 4 is the timing wave form chart showing operation of the memory shown in drawing 3, and drawing 5 (a) - (h) is drawing having shown typically the state of the equipment for every timing shown in drawing 4, respectively. Drawing 5 shall show that non-activity or a precharge state has the block with which, as for the block with which it was underlined with the slash, it is not underlined with the activated state and the slash.

Moreover, only the thing in a selection state will be illustrated about a word line.

[0018] In drawing 4, the period of time t1-t4 shows the period of initial-setting operation. Namely, based on the address A1 currently written to the power up by the address register, choose a desired low, the data from the cell belonging to this low are made to hold in an amplifier group, and an initial state is set up for every sub array, respectively. First, in the sub array A, in time t1, based on the address A1 currently written to the address register, the low (word line WL1 A) corresponding to the address A1 starts, amplifier group 14A is activated in time t2, and the data of the cell belonging to a low (WL1 A) are held at amplifier group 14A, respectively, and will be in an output standby state. As is shown at time t3-t4, the same operation as time t1-t2 is performed, the data of the cell belonging to the low (WL1 B) of the address B1 are held at amplifier group 14B, respectively, and the sub array B will be in an output standby state. In addition, in amplifier group 14C of the sub array C, although it is, maintenance of the data to amplifier group 14C is made not to be performed by making into "L" level the signal (permission C) with which the address C1 is written in the address register and with which the electrical installation between a register - a decoder is permitted, and making gate 102C turn off.

[0019] In drawing 4, the period of time t5-t7 shows the period of read-out operation of data. The state of the equipment in time t5 is shown in drawing 5 (a). Suppose that the access demand which contains a row address A1 in the sub array A in time t6 came. Comparator 100A compares this row address A1 with the row address currently written in register 80A, and after it recognizes that it is in agreement, it outputs the signal which tells the purport used as the hit. In response to this hit signal, an output Dout A1 is outputted in time t7 only in operation which chooses a desired column by the column decoder based on Calah Moody-TA which an access demand contains (drawing 5 (b)). When these operation is performed, the data of the cell which amplifier group 14B holds are held regardless of operation of amplifier group 14A.

[0020] Furthermore, suppose that the access demand which contains address B-2 in the sub array B in time t8 came. Comparator 100B compares this row address B-2 with the row address currently written in register 80B. Since the row address B1 is written in register 80B, it is an inequality. Comparator 100B recognizes this inharmonious thing, and outputs the signal which

tells the purport which was that a mistake is made in. In response to this mistake signal, register 80B is precharged, and in time t10, new row address B=2 is written in and it is memorized by register 80B. Word line WL1 B falls in the time t9 in the meantime. Furthermore falling of word line WL1 B is received, and amplifier group 14B is precharged in time t11 (drawing 5 (c)). And in time t12, the low (word line WL2 B) corresponding to row address B=2 is started, and amplifier group 14B is again activated in time t13 (drawing 5 (d)). Then, the access demand which contains row address B=2 in time t14 comes again. Comparator 100B compares this row address B=2 with the row address currently written in register 80B, and after it recognizes that it is in agreement, it outputs the signal which tells the purport used as the hit. In response to this hit signal, based on Calah Moody-TA which an access demand contains, a desired column is chosen and output Dout B=2 is outputted in time t15 by the column decoder (drawing 5 (e)). When these operation is performed, the data of the cell which amplifier group 14A holds are held regardless of operation of amplifier group 14B. Moreover, the data belonging to the newly started low (WL2 B) are held at amplifier group 14B, respectively, and are made into a standby state in preparation for a next access demand.

[0021] Furthermore, suppose that the access demand which includes the address C1 in the sub array C in time t16 came. Comparator 100C compares this row address C1 with the row address currently written in register 80C, and after it recognizes that it is in agreement, it outputs the signal which tells the purport used as the hit. Furthermore, when the signal (permission C) with which the electric connection between register 80C and decoder 12C is permitted starts, decoder 12C and register 80C are connected electrically, and a row address is incorporated by decoder 12C from register 80C. Thereby, in time t17, the low corresponding to the address C1 starts, and amplifier group 14C is activated in time t18 (drawing 5 (f)). Then, a column is chosen based on Calah Moody-TA which an address demand contains, and an output Dout C1 is outputted in time t19 (drawing 5 (g)). The state of the equipment in the time t20 which finished a series of above-mentioned operation is shown in drawing 5 (h). DRAM concerning the example of this invention operates to the above timing.

[0022] Next, the modification of the above-mentioned example is explained. Drawing 6 (a) - (h) is drawing showing the floor plan of the equipment in connection with the modification of the above-mentioned example in drawing 4 shown for every timing, respectively.

[0023] You may be the form where one memory cell arrays 10A-10C share one amplifier groups 14A-14C between two memory cell arrays 101A, 102A-101C and 102 C for this, respectively although it connects with one amplifier groups 14A-14C, respectively, in the above-mentioned example. Drawing 6 (a) - (h) In each, the explanation is omitted by ***** which gives the same reference mark to the same portion as drawing 5 (a) - (h). The block diagram in which drawing 7 shows one concrete composition of the amplifier group 14, and drawing 8 are circuit diagrams of an amplifier group shown in drawing 7.

[0024] As shown in drawing 7, amplifier 161 A— and 161 B— are sense amplifiers, and are bit line BL1 A— and a thing which carries out the differential amplifier of BL1 B and reversal signaling-bit line BBL1 A—, and the cell data transmitted by BBL1 B, and chooses and outputs the column of a request of this data by which the differential amplifier was carried out by the column decoder from a cell array. Amplifier 161 A—, sense circuit 201 A— by which 161 B— was connected to the bit line pairs BL and BBL, respectively, and 201 B—, These sense circuit 201 A—, the potential maintenance / supply-circuit 221 A— which supplies the power supply of high potential and low voltage to 201 B—, and holds such potentials, and 221 B—, high potential and the potential of low voltage are equalized, and it comes out with amplifier 161 A—, precharge circuit 241 A— which precharges 161 B—, and 241 B—, and is constituted Amplifier 161A, —, 161B of such composition — The amplifier groups 14A and 14B consist of meetings.

[0025] Signal RBACPA (RBACPB) and amplifier 161 A— which determine the timing which accepts potential supply / holding circuit 221 A—, the signal BLKSELA (BLKSELB) that chooses as 221 B— the amplifier group which makes it activated, and this signal BLKSELA (BLKSELB), and the signal RSTA (RSTB) which precharges 161 B— are supplied, respectively. Moreover, Signal RSTA (RSTB) is supplied also to precharge circuit 241 A— and 241 B—, respectively.

[0026] As shown in drawing 8, sense circuit 201 A is constituted by N channel type MOSFETs

(Following NMOS is called) 30A and 31A connected in series between bit line BL1 A and reversal signaling-bit BBL1 A, and P channel type MOSFETs (Following PMOS is called) 32A and 33A. The gate of NMOS31A which the gate of NMOS30A which connected the end to bit line BL1 A was connected to bit line BBL1 A, and connected the end to bit line BBL1 A is connected to bit line BL1 A. The gate of PMOS33A which the gate of PMOS32A which connected the end to bit line BL1 A was connected to bit line nothing BBL1 A, and connected the end to bit line BBL1 A is connected to bit line BL1 A. The interchange point of NMOSes 30A and 31A is connected to power supply line BSAN1 A, and the interchange point of PMOSes 32A and 33A is connected to power supply line SAP1 A. The end of bit line BL1 A and BBL1 A is connected to the memory cell array which is not illustrated. The other end of bit line BL1 A and BBL1 A is connected to data-line DATA1 through column selector-gate 281 A and 282 A which change by NMOS. In addition, the composition of sense circuit 201 B is sense circuit 201 A and abbreviation same composition, and the explanation is omitted to a corresponding element and a corresponding signal line by giving the sign of B to the tail by the same reference mark, respectively.

[0027] The input section of potential maintenance / supply-circuit 221 A is the signal BLKSELA which chooses the sense amplifier group which makes it activated. Inverter 34A supplied, PMOSes 35A and 36A and NMOS37A which were connected in series between high potential – low voltage (for example, grounding), and 38A, and signal BLKSELA It is constituted by inverter 39A to which timing signal RBACPA to accept is supplied. The output of inverter 34A is connected to the gate of PMOS35A and NMOS38A, and the output of inverter 39A is connected to the gate of PMOS36A. Moreover, Signal RBACPA is supplied to the gate of PMOS37A. The interchange point of PMOS36A and NMOS37A is connected to the interchange point of the output of inverter 40A, and the input of inverter 41A. The end of NMOS42A is connected to the interchange point of the output of inverter 40A, and the input of inverter 41A. Reset-signal RSTA is supplied to the gate of NMOS42A, and the other end of NMOS42A is connected to low voltage (for example, grounding). The interchange point of the output of inverter 41A and the input of inverter 40A is connected to the gate of PMOS45A through the gate of PMOS43A, and inverter 44A. The end of PMOS43A is connected to high potential, and the other end is connected to power supply line SAP1 A. The end of PMOS45A is connected to low voltage (for example, grounding), and the other end is connected to power supply line BSAN1 A. In addition, the composition of potential maintenance / supply-circuit 221 B is potential maintenance / supply-circuit 221 A, and abbreviation same composition, and the explanation is omitted by giving the sign of B to a tail by the same reference mark to a corresponding element and a corresponding signal line.

[0028] NMOS46A to which precharge circuit 241 A was connected between power supply line SAP1 A and power supply line BSAN1 A, An end is connected to the interchange point of NMOS47A which connected the end to the interchange point of NMOS46A and power supply line SAP1 A, and connected the other end to the power supply line VBL, and NMOS46A and power supply line BSAN1 A, the other end is looked like [NMOS48A linked to the power supply line VBL], and it is constituted more. Reset-signal RSTA is supplied to the gate of NMOSes 46A, 47A, and 48A, respectively. In addition, the composition of precharge circuit 241 B is precharge circuit 241 A and abbreviation same composition, and the explanation is omitted by giving the sign of B to a tail by the same reference mark to a corresponding element and a corresponding signal line. Drawing 9 is drawing showing the floor plan of DRAM in connection with the 2nd example of this invention.

[0029] As shown in drawing 9 , DRAM in connection with the 2nd example equips every sub arrays A and B with the word line potential holding circuits 50A and 50B holding the potential of a word line as one means to make the state where the desired low is chosen continue. The word line potentials 50A and 50B are connected to the end of a word line, and the other end of this word line is connected to the low decoders 12A and 12B. Drawing 10 is a circuit diagram of a word line potential holding circuit shown in drawing 9 .

[0030] As shown in drawing 10 , between the word line drive potential WDRVN0 – low voltage (for example, grounding), it is NMOS520 and 540. It connects in series and is NMOS520. NMOS540 In an interchange point, it is a word line WLO. It connects. NMOS520 It connects with

the interchange point of the output of an inverter 56, and the input of an inverter 58, and the gate is NMOS540. The gate is connected to the interchange point of the output of an inverter 58, and the input of an inverter 56. The inverter 56 and the inverter 58 constitute the latch circuit 60 by connecting an input to an output mutually. The potential of a word line is determined according to the data-hold state of this latch circuit 60. In a word line potential holding circuit, it is address signal Ad0 -Ad2. And the input section 62 which transmits RATCHIDE-TA to a latch circuit 60 based on the word line latch signals WLTC and BWLTC (reversal signal of WLTC) is formed. The input section 62 changes by PMOSes 64 and 65 connected in series between high potential - low voltage (for example, grounding), and NMOS66, NMOS67, NMOS68 and NMOS69. In the gate of PMOS64, it is the word line latch signal BWLTC. It is supplied, the precharge signal PRCH is supplied to the gate of PMOS65, and it is address signal Ad0 -Ad2 in the gate of NMOSes 66-68, respectively. It is supplied and the word line latch signal WLTC is supplied to the gate of NMOS69. Drawing 11 is drawing showing the floor plan of DRAM in connection with the 3rd example of this invention.

[0031] As shown in drawing 11, DRAM in connection with the 3rd example is equipped with the bit line gate groups 70A and 70B between a bit line and amplifier so that it may not be concerned with potential etc. but operation of amplifier can be performed independently to a bit line. When even the amplifier groups 14A and 14B receive and one cell arrays 10A and 10B are formed, as shown in drawing 10 (a), one bit line gate groups 70A and 70B are formed among these. Moreover, when two or more cell arrays 101A, 102A, and 101B and 102 B are prepared to one amplifier groups 14A and 14B, as shown in drawing 10 (b), more than one are prepared between cell array 101 A and amplifier group 14A and like between cell array 102 A and amplifier group 14A. The bit line gate groups 70A and 70B consist of gate 721 A connected for every bit line - 72n A, and gate 721 B-72n B. The control signal BLGA which separates a bit line and amplifier group 14A electrically is supplied to gate 721 A-72n A, and the control signal BLGB which separates a bit line and amplifier group 14B electrically is supplied to gate 721 B-72n B. Drawing 12 is the circuit diagram of the bit line gate shown in drawing 11.

[0032] As shown in drawing 12, gate group 70A changes by gate 721 A-72n A. When it explains especially paying attention to gate 721 A, it consists of bit line pair BL1 A, NMOS741 A connected to BBL1 A, respectively, and 742 A. The other gates are also the same composition, gate 722 A consists of bit line pair BL2 A, NMOS743 A connected to BBL2 A, respectively, and 744 A, and gate 72n A consists of NMOS745 A and 746 A which were connected to the bit line pairs BLn A and BBLn A, respectively. In common, the control signal BLGA which separates a bit line and an amplifier group electrically is supplied to the gate of NMOSes 741A-746A, respectively. In addition, the composition of gate group 70B is gate group 70A and abbreviation same composition, and the explanation is omitted by giving the sign of B to a tail by the same reference mark to a corresponding element and a corresponding signal line. Drawing 13 is drawing showing the floor plan of DRAM in connection with the 4th example of this invention.

[0033] As shown in drawing 13, DRAM in connection with the 4th example is equipped with the word line potential holding circuits 50A and 50B and the bit line gate groups 70A and 70B, respectively. Hereafter, operation of DRAM shown in drawing 13 is explained. In addition, since the amplifier groups 14A and 14B of the equipment shown in drawing 13 are the meetings of a sense amplifier, it will replace with a name called an amplifier group in explanation of operation, and a sense amplifier group will be called.

[0034] It consists of DRAMs shown in drawing 13 so that the hit signal outputted from Comparators 100A and 100B and a mistake signal may be outputted through different wiring, respectively. The same wiring is used like [it is possible and] DRAM shown in drawing 1, and a hit signal and a mistake signal can also output [using wiring which is different from comparator 100A, separating a hit signal and a mistake signal, respectively and also being outputted, or] a hit signal and a mistake signal. In outputting a hit signal and a mistake signal using the same wiring Two or more wiring layers, for example, wiring of four, are used, if it is a hit signal, the signal of "1, 0, 1, 0" will be passed in order to each wiring, and if it is a mistake signal, as the signal of "0, 1, 0, 1" is passed in order to each wiring, a hit signal and a mistake signal will be judged using the difference in signal level. Drawing 14 - drawing 18 are the timing wave form

charts showing operation, respectively. Drawing 14 – drawing 18 shall continue in time, respectively.

[0035] The period of the time t1–t6 shown in drawing 14 shows the period of initial-setting operation. First, in time t1, it is based on the row address A1 currently written in the power up at register 80A, and is the word line latch signal WLTC A. It starts and word line WL1 A starts in response to this standup. Signal BLKSELA which furthermore chooses a sense amplifier group in time t2 It starts, it sets at time t3 in response to this standup, and is power supply line SAP1A of a sense amplifier group. And SAN1A Potential is set to predetermined power supply potential, respectively. Thus, in the sub array A, word line WL1 A corresponding to the row address A1 is activated, and the low cell data belonging to word line WL1 A is held at sense amplifier group 14A, and is made into an output standby state. Also in the sub array B, the same operation as time t1–t3 is performed at time t4–t6, and word line WL1 B corresponding to the row address B1 is activated based on the row address B1 currently written in register 80B. Thereby, the low cell data belonging to word line WL1 B is held at sense amplifier group 14B, and is made into an output standby state.

[0036] The period of the time t7–t8 shown in drawing 14 shows the period of data read-out. Suppose that the address demand which contains a column address CA 1 and a row address A1 in the sub array A in time t7 came. Comparator 100A compares a row address A1 with the row address currently written in register 80A, and after it recognizes that it is in agreement, it outputs a hit signal. In response to this hit signal, the column corresponding to this column address CA 1 is chosen by column decoder 18A based on the column address CA 1 which an access demand contains. Thereby in time t8, data Dout CA1 and A1 are outputted.

[0037] The period of the time t9–t19 shown in drawing 15 shows the period of a word line re-latch. Suppose that the demand which contains row address B–2 in the sub array B in time t9 came. This is in the state which was that a mistake is made in, and, for this reason, the re-latch of a word line is performed. A re-latch is explained below. First, comparator 100B compares this row address B–2 with the row address currently written in register 80B. Since the row address B1 is written in register 80B, it is an inequality. Comparator 100B recognizes this inharmonious thing, and outputs a mistake signal. Register 80B is precharged in response to this mistake signal. After the word line precharge reversal signal BPRCHB fell in time t10 and the reversal signal BPRCHB has fallen, it sets at time t10, and it is Signal WLTCB. It rises and word line WL1 B is brought down. Subsequently, after word line WL1 B has fallen, in time t12, row address B–2 is incorporated to register 80B. Thereby, instead of a row address B1, row address B–2 is written in register 80B. Subsequently, the reversal signal BPRCHB is started in time t14. Subsequently, reset-signal RSTB is started in time t15, and it is power supply line SAP1B. And SAN1B Potential is reset to precharge potential. Subsequently, reset-signal RSTB is started in time t16. Subsequently, it sets at time t17 and is Signal WLTCB. It rises and word line WL2 B corresponding to row address B–2 currently written in register 80B is started. Subsequently, it sets at time t18 and is Signal BLKSELB. It is power supply line SAP1B by rising and starting timing signal RBACPB in time t19. And SAN1B Potential is set to predetermined power supply potential, respectively. Thus, the re-latch of the word line based on new row address B–2 is performed.

[0038] The period of the time t20–t25 shown in drawing 16 shows the period of the word line re-latch by the other methods. Suppose that the demand which contains a row address A2 in the sub array A in time t20 came. This is in the state which was that a mistake is made in, and, for this reason, the re-latch of a word line is performed. First, comparator 100A compares this row address A2 with the row address currently written in register 80A. Since the row address A1 is written in register 80A, it is an inequality. Comparator 100A recognizes this inharmonious thing, and outputs a mistake signal. Register 80A is precharged in response to this mistake signal. After the word line precharge reversal signal BPRCHA fell by the sub array A in time t21 and the reversal signal BPRCHA has fallen, it sets at time t22, and it is Signal WLTC A. It rises and word line WL1 A is brought down. Subsequently, after word line WL1 A has fallen, in time t23, a row address A2 is incorporated to register 80A. Thereby, instead of a row address A1, a row address A2 is written in register 80A. Subsequently, the reversal signal BPRCHA is started in time t24.

Subsequently, after word line WL1 A has fallen, in time t25, the bit line gate control signal BLGA is brought down, and a sense amplifier group and a bit line are separated electrically. Subsequently, where a sense amplifier group and a bit line are separated electrically, it sets at time t26, and it is Signal WLTC A. It rises and word line WL2 A corresponding to the row address A2 currently written in register 80A is started. In this state, it is what has the separate word line latched and the low separate data which the sense amplifier group holds. Thus, by preparing bit line gate 70A, it is possible to use the data belonging to the word line latched and the data which the sense amplifier group holds as low separate data, respectively. According to this, even when sense amplifier group 14A does not change into a precharge state in the middle of data output operation etc. as for sense amplifier group 14A, before sense amplifier group 14A is precharged, the following data can be read to a bit line and a quicker data access becomes possible. moreover, data are not reheld immediately, when it is that a mistake is made as other effects, it supposes that the last low data which were that a mistake is made in have been held in the sense amplifier group, and the method of reholding only a word line into a new low also becomes possible, and it is also possible to give various variations to the way of reading which is data

[0039] The period of the time t27–t30 shown in drawing 17 shows the period of a sense amplifier latch. When the bit line gate control signal BLGA falls, reset-signal RSTA is started in the time t27 in the state where sense amplifier group 14A and the bit line are separated electrically, and it is power supply line SAP1A. And SAN1A Potential is reset to precharge potential. Subsequently, power supply line SAP1A And SAN1A After potential has been reset by precharge potential, in time t28, the bit line gate control signal BLGA is started, and sense amplifier group 14A and a bit line are connected electrically. Subsequently, where sense amplifier group 14A and a bit line are connected electrically, it sets at time t28, and it is Signal BLKSELA. It rises, it sets at time t30 in response to this standup, and is power supply line SAP1A. And SAN1A Potential is set to predetermined power supply potential, respectively. Thus, the data of a cell connected to word line WL2 A are latched to sense amplifier group 14A by making the bit line gate turn on and connecting electrically sense amplifier group 14A and a bit line.

[0040] The period of the time t31–t36 shown in drawing 18 shows the period of read-out of the data based on the other methods. In time t31, the word line precharge reversal signal BPRCHA falls by the sub array A, an enabling signal (permission A) is brought down simultaneously with this, and operation which reads into a word line the row address written in register 80A is forbidden. Subsequently, after the reversal signal BPRCHA and Permission A have fallen, it sets at time t32, and it is Signal WLTC A. It rises and word line WL2 A is brought down. Subsequently, after word line WL2 A has fallen, the reversal signal BPRCHA is started in time t33. Subsequently, after the reversal signal BPRCHA has started, reset-signal RSTA is started in time t33, and it is power supply line SAP1A. And SAN1A Potential is reset to precharge potential. Thus, the sense amplifier group of the sub array A presupposes that the access demand which contains a column address CB2 and row address B-2 in the sub array B came in the time t35 which is in the reset state. This is in the state which the row address hit, a hit signal starts, one column is chosen by the column address CB2, and data Dout CB2 and B-2 are outputted without selection of a word line in time t36. Thus, even if sense amplifier group 14A of the sub array A is in the precharge state, data can be read in the sub array B. Thus, by the sub arrays A and B, it is possible to arrange operation simultaneously different, respectively in parallel, and to perform it, and improvement in the speed of operation by parallel processing can also be realized. Hereafter, various kinds of useful modifications are explained to implementation of this invention. Drawing 19 is drawing showing the rough floor plan of the 1st modification, and (a) and (b) show the state in different time, respectively.

[0041] If it explains paying attention to the sub array A as shown in drawing 19 (a) and (b), sense amplifier group 14P A, 14N1A, and 14-N2A which were shared between two memory cell array 101 A and 102 A are prepared. Sense amplifier group 14P It is shared between cell array 101 A and 102 A. As shown in (a), when word line WL1 A belonging to cell array 101 A is chosen, it is sense amplifier group 14P. The low data with which a pair with 14-N1A is activated, and word line WL1 A belongs are sense amplifier group 14P. It is held at a pair with 14-N1A, and will be in an output standby state. Moreover, as shown in (b), when word line WL2 A belonging to cell array

102 A is chosen, it is sense amplifier group 14P. The low data with which a pair with 14-N2A is activated, and word line WL2 A belongs are sense amplifier group 14P. It is held at a pair with 14-N2A, and will be in an output standby state. Thus, this invention is applicable also to DRAM which configuration member - of a **** sense amplifier group replaces with the cell array to which the selected word line belongs. Drawing 20 is drawing showing the rough floor plan of the 2nd modification, and (a) and (b) show the state in different time, respectively.

[0042] As shown in drawing 20 (a), the low data corresponding to word line WL1 A, WL1 B, WL1 C, WL1 D, and WL1 E are held at the sense amplifier groups 14A-14E, respectively. Moreover, the sense amplifier groups 14F-14H are in a precharge state, respectively.

[0043] Operation from which the sense amplifier group in the state which shows in (a) moves to the state which shows in (b), respectively is performed just before or after continuation. In the state which shows in (b), some or all of data that was held at sense amplifier group 14A is outputted. Moreover, by the sense amplifier groups 14B and 14D, the low data corresponding to word line WL1 B and WL1 D are canceled, and, instead, the low data corresponding to WL2 B and WL2 D are held, respectively. Moreover, in sense amplifier group 14C, the low data corresponding to word line WL1 C are held, without being influenced by other sense amplifier groups of of operation. Moreover, sense amplifier group 14E cancels the low data corresponding to word line WL1 E, and is in the precharge state. Moreover, by the sense amplifier groups 14F and 14H, the low data corresponding to word line WL1 F and WL1 H are newly held, respectively. Moreover, the precharge state is maintained by the sense amplifier group G, without being influenced by other sense amplifier groups of of operation. Thus, even if the sub array is three or more kinds, the operating state of the sub array of others [array / sub] can maintain original operation independently. Drawing 21 is drawing showing the rough floor plan of the 3rd modification.

[0044] If it explains paying attention to the sub array A as shown in drawing 21 , two sense amplifier group 14L A and 14R A are prepared to one memory cell array 10A. The bit line is connected to either sense amplifier group 14L A or 14R A. Sense amplifier group 14L A and 14R A hold the low data with which word line WL1 A belongs, respectively. Drawing 22 is drawing showing the rough floor plan of the 4th modification.

[0045] If it explains paying attention to the sub array A as shown in drawing 22 , one sense amplifier group 14LRA is prepared to two memory cell array 10L A and 10R A. In order that the bit line connected to sense amplifier group 14LRA may go into two memory cell arrays, it has the form where one sense amplifier group 14LRA is shared by cell array 10L A and 10RA. Word line WL2 which belonged to word line WL1 A belonging to cell array 10L A, and cell array 10R A with the equipment of this form Two low data can be simultaneously held to sense amplifier group 14LRA. Drawing 23 is drawing showing the rough floor plan of the 5th modification.

[0046] If it explains paying attention to the sub array A as shown in drawing 23 , two memory cell array 10L A and 10R A will be prepared, and it has the form where cell array 10L A is connected to the pair of sense amplifier group 14P A and 14NLA(s), and cell array 10R A is connected to the pair of sense amplifier group 14P A and 14NRA(s), respectively. Word line WL2 which belonged to word line WL1 A belonging to cell array 10L A, and cell array 10R A with the equipment of this form Two low data can be simultaneously held in the pair of sense amplifier group 14P A and 14NLA(s), and the pair of 14P A and 14NRA(s), respectively. Drawing 24 is drawing showing the rough floor plan of the 6th modification.

[0047] If it explains paying attention to the sub array A as shown in drawing 24 , four memory cell array 10L1A, 10L2A, 10R1A, and 10R2A are prepared to one sense amplifier group 14LRA. While word line WL1 A, cell array 10L1A to which WL2 A belongs, and 10R1A are activated, other cell array 10L2A and 10R2A are in the precharge state. With the equipment of this form, one of the word lines belonging to cell array 10L1A or 10L2A and one low data [a total of two] of the word line belonging to cell array 10R1A or 10R2A can be simultaneously held to sense amplifier group 14LRA.

[0048] Drawing 25 is drawing showing the rough floor plan of the modification of the octavus. This example is related with data-hold operation to the sense amplifier group which used the bit line gate, and drawing 25 (a) - (d) shows the state of the equipment for every timing of operation, respectively.

[0049] it is shown in drawing 25 — as — two memory cell array 10L and 10R **** — one sense amplifier group 14LR is prepared Cell array 10L Sense amplifier group 14LR is the bit line gate group 701. It minds and connects and is cell array 10R. Sense amplifier group 14LR is the bit line gate group 702. It minds and connects. First, in the state which shows in drawing 22 (a), it is a word line WL1. A corresponding low is chosen and it is cell array 10L. It is activated and is a word line WL1 to sense amplifier group 14LR. The data of the cell which belongs are held. this time — a bit line gate group — inside and gate group 701 It turns on. Subsequently, it is the gate group 701 like the state which shows in drawing 22 (b). It is turned off. At this time, sense amplifier group 14LR is a word line WL1. Holding the data of the cell which belongs is being continued. Subsequently, as shown in drawing 22 (c), it is the gate group 701 and 702. In the state where it was made to both turn off, it is a word line WL2. A corresponding low is chosen and it is cell array 10R. It is activated. At this time, sense amplifier group 14LR is a word line WL1. Holding the data of the cell which belongs is being continued. Subsequently, as shown in drawing 22 (d), it is the bit line gate 702. It is made to turn on and is a word line WL2 to sense amplifier group 14LR. The data of the cell which belongs are made to hold. According to such operation, before sense amplifier group 14LR is precharged, the quicker data access of the following data becomes possible by coming to the bit line. Drawing 26 is drawing showing the rough floor plan of the 9th modification. This example is related with the data output section.

[0050] as shown in drawing 26 , as for the sense amplifier group 14, one of two of every eight pieces which constructed and came out, and were divided and divided into two is connected to the data line That is, the data currently held at eight sense amplifiers are parallel outputted to the data line. This outputted data is outputted outside at high speed in response to parallel/serial conversion by the converter 90. Big band WAISU (per time transmission amount of data) by this can be attained.

[0051] according to the semiconductor memory explained in each above-mentioned example as mentioned above, by choosing a low, holding the low data to a sense amplifier, and realizing the standby state of a data access, the data access time of MEMORU can be boiled markedly and can be made small Moreover, a quicker data access becomes possible by dividing memory storage into two or more sub arrays, and constituting so that the low data corresponding to the address which is different at time which is different in the sense amplifier for every sub array can be held. while enabling the access speed of memory to catch up with data-processing speed, such as CPU, by this, the working speed of the computer itself can also be boiled markedly and can be raised Drawing 27 is drawing showing the rough floor plan of the 10th modification. This example is related with the data ejection method.

[0052] As shown in drawing 27 , the number of I/O can constitute as memory equipped with two or more I/O called xfour by seeing two or more sense amplifier groups 14A-14D in equivalent parallel, arranging in parallel data Dout A-Dout D for every sub array A-D, and taking it out 1 bit at a time.

[0053] According to such a method, in memory equipped with two or more I/O, it becomes possible to make the output section and I/O of memory storage approach in pattern, and the delay in a chip of a data signal can be mitigated. Therefore, in addition to the effect that the data access time of the memory explained according to the above-mentioned example improves, mitigation of the delay in a chip of a data signal can also be obtained simultaneously, and the further improvement in the speed of operation of memory can be attained.

[0054]

[Effect of the Invention] As explained above, according to this invention, the semiconductor memory which can shorten data access time can be offered.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the floor plan of the semiconductor memory in connection with the 1st example of this invention.

[Drawing 2] Drawing 2 is drawing showing the important section of the semiconductor memory in connection with the 1st example of this invention.

[Drawing 3] Drawing 3 is drawing showing the modification of the semiconductor memory in connection with the 1st example of this invention.

[Drawing 4] Drawing 4 is the timing wave form chart showing operation of the memory shown in drawing 3 .

[Drawing 5] Drawing 5 (a) – (h) is drawing having shown the state of the memory for every timing shown in drawing 4 , respectively.

[Drawing 6] Drawing 6 (a) – (h) is drawing having shown the state of the memory concerning the example of others for every timing shown in drawing 4 , respectively.

[Drawing 7] Drawing 7 is the block diagram showing – composition of an amplifier group.

[Drawing 8] Drawing 8 is a circuit diagram of an amplifier group shown in drawing 7 .

[Drawing 9] Drawing 9 is drawing showing the floor plan of the semiconductor memory in connection with the 2nd example of this invention.

[Drawing 10] Drawing 10 is a circuit diagram of a word line potential holding circuit shown in drawing 9 .

[Drawing 11] Drawing 11 is drawing showing the floor plan of the semiconductor memory in connection with the 3rd example of this invention.

[Drawing 12] Drawing 12 is the circuit diagram of the bit line gate shown in drawing 11.

[Drawing 13] Drawing 13 is drawing showing the floor plan of the semiconductor memory in connection with the 4th example of this invention.

[Drawing 14] Drawing 14 is the timing wave form chart showing operation of the semiconductor memory shown in drawing 13.

[Drawing 15] Drawing 15 is the timing wave form chart showing operation of the semiconductor memory shown in drawing 13.

[Drawing 16] Drawing 16 is the timing wave form chart showing operation of the semiconductor memory shown in drawing 13.

[Drawing 17] Drawing 17 is the timing wave form chart showing operation of the semiconductor memory shown in drawing 13.

[Drawing 18] Drawing 18 is the timing wave form chart showing operation of the semiconductor memory shown in drawing 13.

[Drawing 19] It is drawing in which drawing 19's being drawing showing the floor plan of the semiconductor memory concerning the 1st modification of this invention, and showing the state of the memory in the time when (a) differs from (b), respectively.

[Drawing 20] It is drawing in which drawing 20's being drawing showing the floor plan of the semiconductor memory concerning the 2nd modification of this invention, and showing the state of the memory in the time when (a) differs from (b), respectively.

[Drawing 21] Drawing 21 is drawing showing the floor plan of the semiconductor memory

concerning the 3rd modification of this invention.

[Drawing 22] Drawing 22 is drawing showing the floor plan of the semiconductor memory concerning the 4th modification of this invention.

[Drawing 23] Drawing 23 is drawing showing the floor plan of the semiconductor memory concerning the 5th modification of this invention.

[Drawing 24] Drawing 24 is drawing showing the floor plan of the semiconductor memory concerning the 6th modification of this invention.

[Drawing 25] It is drawing in which drawing 25's being drawing showing the floor plan of the semiconductor memory concerning the modification of the octavus of this invention, and showing the state of the memory in the time when (a) – (d) differs, respectively.

[Drawing 26] Drawing 26 is drawing showing the floor plan of the semiconductor memory concerning the 9th modification of this invention.

[Drawing 27] Drawing 27 is drawing showing the floor plan of the semiconductor memory concerning the 10th modification of this invention.

[Description of Notations]

10 [— An amplifier group (sense amplifier group), 16 / — Amplifier, 18 / — A column decoder, 20 / — A sense circuit, 22 / — Potential supply / holding circuit, 24 / — A precharge circuit, 50 / — A word line holding circuit, 70 / — A bit line gate group, 80 / — An address register, 100 / — Comparator.] — A memory cell array, 12 — A low decoder, 14

[Translation done.]